

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-285802

(43)Date of publication of application : 12.10.2001

(51)Int.Cl. H04N 5/92

G11B 20/10

G11B 20/12

H04N 5/91

H04N 9/80

(21)Application number : 2000-101882 (71)Applicant : SONY CORP

(22)Date of filing : 04.04.2000 (72)Inventor : HAYAKAWA TOMOO

OGIKUBO JUNICHI

(54) DEVICE/METHOD FOR REPRODUCTION AND DEVICE/METHOD FOR
PROCESSING SIGNAL

(57)Abstract:

PROBLEM TO BE SOLVED: To realize constitution which copes with the video signal of a different format and outputs the video output of plural systems and which is inexpensive and can be miniaturized.

SOLUTION: Format information embedded to a reproducing video signal is taken out by a detection circuit 11 and supplied to an output control circuit 18. An output format instruction is supplied to the circuit 18 and output circuits 16 and 17. The operation of vertical filter blocks 14 and 15 is controlled based on format information and an output format instruction. The outputs of system conversion circuits 20, 23, vertical filter circuits 21, 24 and delay adjusting circuits 22 and 25 are outputted by matching respective phases and selected by input switching circuits 30, 31, 34 and 35 based on the output format instruction. The circuits 16

and 17 output video signals with synchronization in accordance with each output format instruction. The blocks 14 and 15 are controlled independently by each luminance component Y and color component C and the circuits 16 and 17 are controlled independently. Input and output can independently cope with the video signals of plural formats and also cope with the change of chroma-format.

LEGAL STATUS [Date of request for examination] 10.01.2007

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Change a format of the video signal which was refreshable and was reproduced in the video signal of two or more signal formats, and it sets to the regenerative apparatus in which an output is possible. A playback means to reproduce the video signal which format information was embedded and was recorded from a record medium, A format detection means to detect the above-mentioned format information from the above-mentioned video signal reproduced with the above-mentioned playback means, An output-format directions means to direct a format of the video signal outputted, The format information which has a format conversion means to change a format of the above-mentioned video signal reproduced with the above-mentioned playback

means, and was detected by the above-mentioned format detection means, The regenerative apparatus characterized by changing actuation of the above-mentioned format conversion means automatically based on directions of the output format by the above-mentioned output-format directions means.

[Claim 2] It is the regenerative apparatus characterized by the ability of the above-mentioned format conversion means to change an interlace scan and a progressive scan mutually in a regenerative apparatus according to claim 1.

[Claim 3] It is the regenerative apparatus characterized by for the above-mentioned format conversion means having a filter means to interpolate the scanning line of an interlace scan by filtering, and to generate the scanning line of a progressive scan, in a regenerative apparatus according to claim 2, and for the abbreviation for frequency characteristics etc. being in the above-mentioned filter means by carrying out, and performing the above-mentioned interpolation using two kinds of filter factors.

[Claim 4] It is the regenerative apparatus characterized by the above-mentioned filter means changing the two above-mentioned kinds of filter factors to the data period for 1 pixel of an input video signal in a regenerative apparatus according to claim 3.

[Claim 5] It is the regenerative apparatus characterized by amending a gap of the center of gravity at the time of the above-mentioned format conversion

means synchronizing the 1st field with the 2nd field by interlace scan in a regenerative apparatus according to claim 3, and outputting using the two above-mentioned kinds of filter factors with the above-mentioned filter means.

[Claim 6] It is the regenerative apparatus characterized by the ability of the above-mentioned format conversion means to change HD format and SD format mutually in a regenerative apparatus according to claim 1.

[Claim 7] The regenerative apparatus characterized by having further the output-control means which carries out mute of the predetermined period output when the format of a video signal by which playback was carried out [above-mentioned] is changed in a regenerative apparatus according to claim 1.

[Claim 8] The regenerative apparatus characterized by having further an output-control means to add the synchronizing signal corresponding to the output format directed with the above-mentioned output-format directions means to the video signal outputted in a regenerative apparatus according to claim 1 based on directions of the above-mentioned output-format directions means.

[Claim 9] In the playback approach changes a format of the video signal which was refreshable and was reproduced in the video signal of two or more signal formats, and it was made to output The step of the playback which reproduces the video signal which format information was embedded and was recorded from a record medium, The step of the format detection which detects the

above-mentioned format information from the above-mentioned video signal reproduced at the step of the above-mentioned playback, The step of the output-format directions which direct a format of the video signal outputted, The format information which has the step of the format conversion which changes a format of the above-mentioned video signal reproduced at the step of the above-mentioned playback, and was detected by the step of the above-mentioned format detection, The playback approach characterized by changing actuation at the step of the above-mentioned format conversion automatically based on directions of the output format by the step of the above-mentioned output-format directions.

[Claim 10] The video signal which was refreshable and was reproduced in the video signal of two or more signal formats is set in two or more formats at coincidence to the regenerative apparatus in which an output is possible. A playback means to reproduce the video signal recorded on the record medium, and a format conversion means to change a format of the above-mentioned video signal reproduced with the above-mentioned playback means, A bypass means to double and output the video signal and phase which format conversion was carried out and were outputted with the above-mentioned format conversion means in the above-mentioned video signal reproduced with the above-mentioned playback means, The regenerative apparatus characterized

by having two or more output means to choose and output the video signal outputted from the above-mentioned format conversion means, and the video signal outputted from the above-mentioned bypass means, and outputting a video signal to coincidence from two or more above-mentioned output means.

[Claim 11] It is the regenerative apparatus which the above-mentioned format conversion means and the above-mentioned bypass means are formed in the brightness component and color component of the above-mentioned video signal in a regenerative apparatus according to claim 10, respectively, and is characterized by two or more above-mentioned output means choosing independently the above-mentioned format conversion means and the above-mentioned bypass means of the above-mentioned brightness component and the above-mentioned color component.

[Claim 12] It has further a filter means to perform filtering in a regenerative apparatus according to claim 10 to the above-mentioned video signal reproduced with the above-mentioned playback means. The above-mentioned filter means While doubling the video signal and phase which format conversion was carried out and were outputted with the above-mentioned format conversion means and outputting a video signal, two or more above-mentioned output means The regenerative apparatus characterized by choosing the video signal outputted from the above-mentioned format conversion means, the video signal

outputted from the above-mentioned bypass means, and the video signal outputted from the above-mentioned filter means, and making it output.

[Claim 13] It is the regenerative apparatus which the above-mentioned filter means, the above-mentioned format-conversion means, and the above-mentioned bypass means are formed in the brightness component and the color component of the above-mentioned video signal in a regenerative apparatus according to claim 12, respectively, and is characterized by for two or more above-mentioned output means to choose independently the above-mentioned filter means, the above-mentioned format conversion means, and the above-mentioned bypass means of the above-mentioned brightness component and the above-mentioned color component.

[Claim 14] It is the regenerative apparatus characterized by carrying out mute of the predetermined period output when a format of the video signal with which playback of each of two or more above-mentioned output means was carried out [above-mentioned] in the regenerative apparatus according to claim 10 is changed.

[Claim 15] It is the regenerative apparatus which has further an output-format directions means to direct a format of the video signal outputted in a regenerative apparatus according to claim 10, and is characterized by each of two or more above-mentioned output means adding the synchronizing signal

corresponding to the output format directed with the above-mentioned output-format directions means based on directions of the above-mentioned output-format directions means to the video signal outputted.

[Claim 16] In the playback approach which was made to be outputted to coincidence in two or more formats about the video signal which was refreshable and was reproduced in the video signal of two or more signal formats The step of the playback which reproduces the video signal recorded on the record medium, and the step of the format conversion which changes a format of the above-mentioned video signal reproduced at the step of the above-mentioned playback, The step of the bypass which doubles and outputs the video signal and phase which format conversion was carried out and were outputted at the step of the above-mentioned format conversion in the above-mentioned video signal reproduced at the step of the above-mentioned playback, The playback approach characterized by having the step of two or more outputs which choose and output the video signal outputted from the step of the above-mentioned format conversion, and the video signal outputted by the step of the above-mentioned bypass, and outputting a video signal to coincidence from the step of two or more above-mentioned outputs.

[Claim 17] Change a format of the video signal which could input the video signal of two or more signal formats, and was inputted, and it sets to the signal

processor in which an output is possible. A format detection means to detect the format information embedded at the inputted video signal, An output-format directions means to direct a format of the video signal outputted, The format information which has a format conversion means to change the format of a video signal by which the input was carried out [above-mentioned], and was detected by the above-mentioned format detection means, The signal processor characterized by changing actuation of the above-mentioned format conversion means automatically based on directions of the output format by the above-mentioned output-format directions means.

[Claim 18] It is the signal processor characterized by the ability of the above-mentioned format conversion means to change an interlace scan and a progressive scan mutually in a signal processor according to claim 17.

[Claim 19] It is the signal processor characterized by for the above-mentioned format conversion means having a filter means to interpolate the scanning line of an interlace scan by filtering, and to generate the scanning line of a progressive scan, in a signal processor according to claim 18, and for the abbreviation for frequency characteristics etc. being in the above-mentioned filter means by carrying out, and performing the above-mentioned interpolation using two kinds of filter factors.

[Claim 20] It is the signal processor characterized by changing the two

above-mentioned kinds of filter factors to the data period for 1 pixel of the video signal with which the input of the above-mentioned filter means was carried out [above-mentioned] in the signal processor according to claim 19.

[Claim 21] It is the signal processor characterized by amending a gap of the center of gravity at the time of the above-mentioned format conversion means synchronizing the 1st field with the 2nd field by interlace scan in a signal processor according to claim 19, and outputting using the two above-mentioned kinds of filter factors with the above-mentioned filter means.

[Claim 22] It is the signal processor characterized by the ability of the above-mentioned format conversion means to change HD format and SD format mutually in a signal processor according to claim 17.

[Claim 23] The signal processor characterized by having further the output-control means which carries out mute of the predetermined period output when the format of a video signal by which the input was carried out [above-mentioned] is changed in a signal processor according to claim 17.

[Claim 24] The signal processor characterized by having further an output-control means to add the synchronizing signal corresponding to the output format directed with the above-mentioned output-format directions means to the video signal outputted in a signal processor according to claim 17 based on directions of the above-mentioned output-format directions means.

[Claim 25] In the signal-processing approach changes a format of the video signal which was refreshable and was reproduced in the video signal of two or more signal formats, and it was made to output The step of the format detection which detects the format information embedded at the inputted video signal, The step of the output-format directions which direct a format of the video signal outputted, The format information which has the step of the format conversion which changes the format of a video signal by which the input was carried out [above-mentioned], and was detected by the step of the above-mentioned format detection, The signal-processing approach characterized by changing actuation of the step of the above-mentioned format conversion automatically based on directions of the output format by the step of the above-mentioned output-format directions.

[Claim 26] The video signal which could input the video signal of two or more signal formats, and was inputted is set in two or more formats at coincidence to the signal processor in which an output is possible. A format conversion means to change a format of the inputted video signal, A bypass means to double and output the video signal and phase which format conversion was carried out and were outputted with the above-mentioned format conversion means in the video signal by which the input was carried out [above-mentioned], The signal processor characterized by having two or more output means to choose and

output the video signal outputted from the above-mentioned format conversion means, and the video signal outputted from the above-mentioned bypass means, and outputting a video signal to coincidence from two or more above-mentioned output means.

[Claim 27] It is the signal processor which the above-mentioned format conversion means and the above-mentioned bypass means are formed in the brightness component and color component of the above-mentioned video signal in a signal processor according to claim 26, respectively, and is characterized by two or more above-mentioned output means choosing independently the above-mentioned format conversion means and the above-mentioned bypass means of the above-mentioned brightness component and the above-mentioned color component.

[Claim 28] It has further a filter means to perform filtering in a signal processor according to claim 26 to the above-mentioned video signal reproduced with the above-mentioned playback means. The above-mentioned filter means While doubling the video signal and phase which format conversion was carried out and were outputted with the above-mentioned format conversion means and outputting a video signal, two or more above-mentioned output means The signal processor characterized by choosing the video signal outputted from the above-mentioned format conversion means, the video signal outputted from the

above-mentioned bypass means, and the video signal outputted from the above-mentioned filter means, and making it output.

[Claim 29] It is the signal processor which the above-mentioned filter means, the above-mentioned format conversion means, and the above-mentioned bypass means are formed in the brightness component and the color component of the above-mentioned video signal in a signal processor according to claim 28, respectively, and is characterized by for two or more above-mentioned output means to choose independently the above-mentioned filter means, the above-mentioned format conversion means, and the above-mentioned bypass means of the above-mentioned brightness component and the above-mentioned color component.

[Claim 30] It is the signal processor characterized by carrying out mute of the predetermined period output when a format of the video signal with which playback of each of two or more above-mentioned output means was carried out [above-mentioned] in the signal processor according to claim 26 is changed.

[Claim 31] It is the signal processor which has further an output-format directions means to direct a format of the video signal outputted in a signal processor according to claim 26, and is characterized by each of two or more above-mentioned output means adding the synchronizing signal corresponding to the output format directed with the above-mentioned output-format directions

means based on directions of the above-mentioned output-format directions means to the video signal outputted.

[Claim 32] In the signal-processing approach which was made to be outputted to coincidence in two or more formats about the video signal which could input the video signal of two or more signal formats, and was inputted The step of the format conversion which changes a format of the inputted video signal, The step of the bypass which doubles and outputs the video signal and phase which format conversion was carried out and were outputted at the step of the above-mentioned format conversion in the video signal by which the input was carried out [above-mentioned], It has the step of two or more outputs which choose and output the video signal outputted by the step of the above-mentioned format conversion, and the video signal outputted by the step of the above-mentioned bypass. The signal-processing approach characterized by outputting a video signal to coincidence from the step of two or more above-mentioned outputs.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the regenerative apparatus and approach of performing format conversion of a digital video signal, a signal processor, and an approach while processing the digital video signal of two or more kinds of formats.

[0002]

[Description of the Prior Art] the conventional technique -- setting -- the video signal of two or more kinds of signal formats -- refreshable -- in addition -- and VTR (Video Tape Recorder) into which it enabled it to change a format of a video signal is already proposed. There is a VTR indicated by JP,2-171090,A as such a VTR.

[0003] VTR it is made to have operating state, such as a method converter, changed automatically is indicated by this JP,2-171090,A with the method of the reproduced video signal, and the set-up video signal method. Moreover, performing distinction of the television standards currently recorded to this JP,2-171090,A by measurement of field frequency etc. is indicated.

[0004] On the other hand, in recent years, utilization of the television broadcasting by the digital method is advanced, and the broadcasting format is also diversified. Therefore, the thing corresponding to a multi-format to which even VTR for broadcasting stations can respond to two or more formats by one

set is developed. Not only the correspondence to NTSC and PAL like VTR which are indicated by JP,2-171090,A mentioned above but the progressive scan which constitutes one frame from the 1 field, and VTR which can respond also to HD (High Definition) method which raised resolution more are developed.

[0005]

[Problem(s) to be Solved by the Invention] VTR which is such a format, for example, could be made to carry out record playback of both 480I (480 lines, interlace scan) and 480P (480 lines, progressive scan) is considered. In both 480I and 480P, since field frequency was 60Hz, there was a trouble that a format could not be judged by measurement of the field frequency of a video signal, like the example of JP,2-171090,A mentioned above.

[0006] Moreover, the format of the video signal used by digital television broadcast in recent years is very complicated. For example, SMPTE to which the chroma format is set to transmit a signal not only in the specification of 4:2:2 but in the band of 4:2:0 even if it is the signal of 480P The specification called 294M also exists. In order for a chroma format to output 4:2:2 video signals by this specification, only a chroma signal needs to band-limit perpendicularly. That is, the alternative it not only to perform method conversion, but whether to perform filtering to a chroma signal in this case is needed. In the former, VTR with such alternative had the trouble of having not existed.

[0007] Furthermore, in VTR for broadcasting stations, it is necessary to output a video signal synchronizing with an external reference. Also when outputting the above-mentioned signal of 480I and 480P to coincidence, as for the signal of 480P, it is desirable to synchronize with the frame period (30Hz) of the signal of 480I. This is [the edit corresponding to the conventional time code, and] SMPTE. It is from the reasons of adjustment with the dual link method specified to 294M etc. In addition, a dual link method is a method which transmits the video signal of a progressive scan to Link A and Link B by turns for every Rhine, respectively. Odd lines and even lines interchange for every field. Moreover, the time amount which processing takes usually differs by the I/P conversion which changes the signal of 480I into 480P, and the P/I conversion which changes the signal of 480P into 480I.

[0008] Also in such a situation, when an output has only one line, the phase of an output signal can be doubled with an external reference by what the playback initiation phase in the output video signal of VTR is doubled for to an external reference (it is made to precede). However, when there are a system in which an output carries out method conversion, and two systems which do not carry out method conversion, in order to double both lines with a right phase, a certain phase ***** is needed between the system which carries out method conversion, and the system which does not carry out method conversion. There was a

trouble that VTR with which this point was taken into consideration did not exist conventionally.

[0009] The output of VTR for broadcasting stations may be used for the synchronous criteria of other equipments further again. Therefore, also when starting playback of the video signal of a format which replaces a tape, for example and is different from before, it needs to be outputted correctly, without confusing the synchronization of an output signal. Moreover, when a format of a regenerative signal changes with exchange of a tape, in the interior of VTR, modes of operation of a regenerative-circuit system, such as an error correction circuit, a video decoder circuit, and a method conversion circuit, will be changed. By the time actuation was stabilized after the mode of operation was changed, the time amount for several seconds or dozens of seconds was required, and there was a trouble that the signal under malfunction will be outputted between them.

[0010] Moreover, although **** explained as a premise VTR which outputs two video signals of a different format, such as 480I and 480P, for example, also when saying that he wants to output only a request of a user and the signal of one format by the goods gestalt two lines, it thinks.

[0011] Furthermore, in a format of 480I, when gear change playback like 1/2X playback [as / whose tape speed at the time of playback is 1/2 at the time of

record] is performed, the interlace structure of a playback video signal collapses. That is, 1/2X playback is performed by continuing and carrying out 2 field partial output of the 1st field, next continuing and carrying out 2 field partial output of the 2nd field. In this case, although the signal of the first field [1st] is displayed in the Rhine location of the 1st original field, the signal of the 1st next field reproduced continuously is displayed in the Rhine location of the 2nd field. The same is said of the signal of the 2nd field. Consequently, the trouble that pitching (vertical movement) of 1/2-line width of face will occur was shown in the display screen.

[0012] In order to have made the configuration for solving the trouble enumerated above further again build in VTR, in the former, the circuit became large-scale and there was a trouble that cost will also go up.

[0013] Therefore, it has two or more video outlets, and the purpose of this invention is cheap and is to offer the regenerative apparatus which can be miniaturized, an approach, a signal processor, and an approach while it corresponds to a different format video signal.

[0014]

[Means for Solving the Problem] This invention is refreshable in the video signal of two or more signal formats, in order to solve the technical problem mentioned above. And change a format of the reproduced video signal and it sets to the

regenerative apparatus in which an output is possible. A playback means to reproduce the video signal which format information was embedded and was recorded from a record medium, A format detection means to detect format information from the video signal reproduced with the playback means, An output-format directions means to direct a format of the video signal outputted, The format information which has a format conversion means to change a format of the video signal reproduced with the playback means, and was detected by the format detection means, It is the regenerative apparatus characterized by changing actuation of a format conversion means automatically based on directions of the output format by the output-format directions means.

[0015] Moreover, this invention is refreshable in the video signal of two or more signal formats. And it sets to the playback approach changes a format of the reproduced video signal and it was made to output. The step of the playback which reproduces the video signal which format information was embedded and was recorded from a record medium, The step of the format detection which detects format information from the video signal reproduced at the reproductive step, The step of the output-format directions which direct a format of the video signal outputted, The format information which has the step of the format conversion which changes a format of the video signal reproduced at the reproductive step, and was detected by the step of format detection, It is the

playback approach characterized by changing actuation at the step of format conversion automatically based on directions of the output format by the step of output-format directions.

[0016] Moreover, this invention is refreshable in the video signal of two or more signal formats. And the reproduced video signal is set in two or more formats at coincidence to the regenerative apparatus in which an output is possible. A playback means to reproduce the video signal recorded on the record medium, and a format conversion means to change a format of the video signal reproduced with the playback means, A bypass means to double and output the video signal and phase which format conversion was carried out and were outputted with the format conversion means in the video signal reproduced with the playback means, It is the regenerative apparatus characterized by having two or more output means to choose and output the video signal outputted from the format conversion means, and the video signal outputted from the bypass means, and outputting a video signal to coincidence from two or more output means.

[0017] Moreover, this invention is refreshable in the video signal of two or more signal formats. And the reproduced video signal is set to the playback approach which was made to be outputted to coincidence in two or more formats. The step of the playback which reproduces the video signal recorded on the record

medium, and the step of the format conversion which changes a format of the video signal reproduced at the reproductive step, The step of the bypass which doubles and outputs the video signal and phase which format conversion was carried out and were outputted at the step of format conversion in the video signal reproduced at the reproductive step, It is the playback approach characterized by having the step of two or more outputs which choose and output the video signal outputted from the step of format conversion, and the video signal outputted by the step of a bypass, and outputting a video signal to coincidence from the step of two or more outputs.

[0018] Moreover, this invention can input the video signal of two or more signal formats. And change a format of the inputted video signal and it sets to the signal processor in which an output is possible. A format detection means to detect the format information embedded at the inputted video signal, An output-format directions means to direct a format of the video signal outputted, The format information which has a format conversion means to change a format of the inputted video signal, and was detected by the format detection means, It is the signal processor characterized by changing actuation of a format conversion means automatically based on directions of the output format by the output-format directions means.

[0019] Moreover, this invention is refreshable in the video signal of two or more

signal formats. And it sets to the signal-processing approach changes a format of the reproduced video signal and it was made to output. The step of the format detection which detects the format information embedded at the inputted video signal, The step of the output-format directions which direct a format of the video signal outputted, The format information which has the step of the format conversion which changes a format of the inputted video signal, and was detected by the step of format detection, It is the signal-processing approach characterized by changing actuation of the step of format conversion automatically based on directions of the output format by the step of output-format directions.

[0020] Moreover, this invention can input the video signal of two or more signal formats. And the inputted video signal is set in two or more formats at coincidence to the signal processor in which an output is possible. A format conversion means to change a format of the inputted video signal, A bypass means to double and output the video signal and phase which format conversion was carried out and were outputted with the format conversion means in the inputted video signal, It is the signal processor characterized by having two or more output means to choose and output the video signal outputted from the format conversion means, and the video signal outputted from the bypass means, and outputting a video signal to coincidence from two or more output

means.

[0021] Moreover, this invention can input the video signal of two or more signal formats. And the inputted video signal is set to the signal-processing approach which was made to be outputted to coincidence in two or more formats. The step of the format conversion which changes a format of the inputted video signal, The step of the bypass which doubles and outputs the video signal and phase which format conversion was carried out and were outputted at the step of format conversion in the inputted video signal, It is the signal-processing approach characterized by having the step of two or more outputs which choose and output the video signal outputted by the step of format conversion, and the video signal outputted by the step of a bypass, and outputting a video signal to coincidence from the step of two or more outputs.

[0022] As mentioned above, since actuation of format conversion is automatically changed based on the format information embedded at the time of the record detected from the reproduced video signal, and output-format directions, invention given in claims 1 and 9 can respond to two or more playbacks and outputs of the video signal of a format.

[0023] Moreover, invention given in claims 10 and 16 can double a phase, and can output the video signal by which format conversion was carried out based on the format information embedded at the time of the record detected from the

reproduced video signal, and the playback video signal which had format conversion bypassed to coincidence, respectively.

[0024] Moreover, since actuation of format conversion is automatically changed based on the format information which was detected from the inputted video signal and which was embedded beforehand, and output-format information, invention given in claims 17 and 25 can respond to I/O of the video signal of two or more formats.

[0025] Moreover, invention given in claims 26 and 32 can double a phase, and can output the video signal by which format conversion was carried out based on the format information which was detected from the inputted video signal, and which was embedded beforehand, and the playback video signal which had format conversion bypassed to coincidence, respectively.

[0026]

[Embodiment of the Invention] Hereafter, one gestalt of implementation of this invention is explained. First, in order to make an understanding easy, a record format applicable to this invention is explained. Compression coding of the digital video signal is carried out by the predetermined method. With one gestalt of this operation, compression coding of a digital video signal is performed using MPEG 2 (Moving Pictures Experts Group 2) which is a compression coding method using the motion compensation by DCT (Discrete Cosine Transform)

and the motion vector. Inner sign parity and outside sign parity are added to the digital video signal by which compression coding was carried out, and error correction coding is carried out using a product code. And DID which shows the information about ID for identifying the SYNC pattern for detecting a synchronization and a sink block per inner sign parity to the data by which error correction coding was carried out, and the contents of data recorded is added, and a sink block is constituted. Data are treated as a packet per sink block.

[0027] A SYNC pattern and the data to which ID and DID were added are helical scans, with are recorded on a magnetic tape by the magnetic head prepared on the rotating drum. Plurality is prepared in the location where the magnetic head counters mutually on a rotating drum, respectively. That is, when a magnetic tape is an about 180-degree contact angle, with is twisted around the rotary head, two or more trucks can be formed in coincidence by 180-degree rotation of a rotary head. Moreover, let the magnetic head be a lot by two pieces from which an azimuth differs mutually. Two or more magnetic heads are arranged so that the azimuths of an adjoining truck may differ mutually.

[0028] Drawing 1 shows an example of the track format formed on a magnetic tape of the rotary head mentioned above. This is an example on which the video and audio data per frame are recorded by eight trucks. For example, the interlace signal (480 I signals) and audio signal whose number of effective level

pixels 50Mbps(es) and the number of effective Rhine is [frame frequency] 720 pixels in 480 for 29.97Hz and a rate are recorded. Moreover, 25Hz and a rate can record [frame frequency / 50Mbps(es) and the number of effective Rhine / the number of effective level pixels] by 576 with the tape format as drawing 1 also with same interlace signal (576 I signals) and audio signal which are 720 pixels.

[0029] One segment is constituted by two trucks of a mutually different azimuth. That is, eight trucks consist of four segments. An azimuth, and a corresponding track number [0] and a corresponding track number [1] are attached to 1 set of trucks which constitute a segment. In the example shown in drawing 1 , between eight trucks of the first half, and eight trucks of the second half, while a track number is replaced, a mutually different truck sequence for every frame is attached. Thereby, among 1 set of magnetic heads from which an azimuth differs, even if one side reads by blinding etc. and lapses into disabling, it can remove the effect of an error using the data of a front frame, and can perform retouching of data good.

[0030] In each of a truck, the video sector by which a video data is recorded on a both-ends side is allotted, it is inserted into a video sector and the audio sector on which audio data are recorded is allotted. In addition, this drawing 1 and drawing 2 mentioned later show arrangement of the sector on a tape.

[0031] It enables it to treat the audio data of eight channels in this example.

A1-A8 show 1-8ch of audio data, respectively. Audio data can change an array per segment and are recorded. Moreover, in this example, the data for 4 error-correction block are interleaved to one truck, and a video data is Upper. Side and Lower It is divided and recorded on the sector of Side. Lower A system area is established in a predetermined location at the video sector of Side.

[0032] In addition, in drawing 1 , SAT1 (Tr) and SAT2 (Tm) are area where the signal for a servo lock is recorded. Moreover, between each record area, the gap (Vg1, Sg1, Ag, Sg2, Sg3, and Vg2) of predetermined magnitude is prepared.

[0033] Although drawing 1 is an example which records the data per frame by eight trucks, it can record the data per frame by four trucks, six trucks, etc. depending on the format of data which carries out record playback. One frame of drawing 2 A is a format of six trucks. A truck sequence is set to [0] in this example.

[0034] As shown in drawing 2 B, the data recorded on a tape consist of two or more blocks divided into the regular intervals called the sink block mentioned above. Drawing 2 C shows the configuration of a sink block roughly. From the head of a sink block, it is allotted in order of a SYNC pattern, ID and DID, and inner sign parity. The minimum thing of the data unit recorded or reproduced is 1 sink block. Much sink blocks are put in order (drawing 2 B), for example, a video

sector is formed (drawing 2 A).

[0035] ID consists of two parts, ID0 and ID1, and the information for identifying each sink block is stored. Drawing 3 A shows an example of bit assignment of ID0 and ID1. Identification information (SYNC ID) for ID0 to identify each of the sink block in 1 truck is stored. SYNC ID is the serial number. SYNC ID is expressed by 8 bits.

[0036] The information concerning [ID1] the truck of a sink block is stored. When the MSB side is made into a bit 7 and the LSB side is made into a bit 0, about this sink block, truck a top (Upper) or the bottom (Lower) is shown by the bit 7, and the segment of a truck is shown by a bit 5 - the bit 2. Moreover, the track number corresponding to the azimuth of a truck in a bit 1 is shown, and, as for a bit 0, it is shown the thing of the method of what this sink block is among a video data and audio data.

[0037] The information concerning [DID] a payload is stored. Based on the value of the bit 0 of ID1 mentioned above, the contents of DID differ in video and an audio. Drawing 3 B shows an example of bit assignment of DID in the case of video. Let the bit 7 - the bit 4 be undefined (Reserved). Bits 3 and 2 are the modes of a payload, for example, the type of a payload is shown. Bits 3 and 2 are auxiliary. It is shown that one piece or two macro blocks are stored in a payload in a bit 1. It is shown whether the video data stored in a payload in a bit

0 is outside sign parity.

[0038] Drawing 3 C shows an example of bit assignment of DID in the case of an audio. The bit 7 - the bit 4 are set to Reserved. It is shown whether the data stored in the payload in the bit 3 are audio data, or it is common data. When the audio data by which compression coding was carried out are stored to the payload, let a bit 3 be the value which shows data.

[0039] The information on 5 field sequence [in / in [Amode2], [Amode1], and [Amode0] of a bit 2 - a bit 0 / NTSC system] is stored. That is, in NTSC system, to the 1 field of a video signal, when the sampling frequency of an audio signal is 48kHz, it is in any of 800 samples and 801 samples, and this sequence gathers every 5 fields. It is shown by a bit 2 - the bit 0 where [of a sequence] it is located.

[0040] Moreover, although mentioned later, it is shown that this bit 2 - a bit 0 are AUX(s)2 whose continuing data are the information which identifies a record format of video when [7] is expressed by that triplet.

[0041] In this invention, it is one set (VTR is called hereafter) of a video tape recorder, and the video signal of two or more formats is treated. Drawing 4 illustrates about two or more formats of this video signal. For example, it corresponds to the format mode of mutually different 14, and picture frame size corresponds to two kinds, 720 pixel x480 line and 720 pixel x576 line. In each of each format mode, the rate in the case of compression coding of a video data is

set up so that the shortest record wavelength at the time of recording on a magnetic tape may spread abbreviation etc. and may become mutually.

[0042] In this format, the scanning mode of two kinds of screens, an interlace scan and a progressive (non-interlace) scan, is supported. One frame is constituted from the 2 fields by interlace scan. On the other hand, by progressive scan, a screen is completed by one frame. In addition, also in a progressive scan, an one-frame period shall be equivalent to 2 field period. Moreover, in each format mode of drawing 4 , by progressive scan, "i" is given beside the number of Rhine and these are expressed with "p" and an interlace scan to it.

[0043] For drawing 4 , it is classified in the direction of a train according to frame frequency, and each is Edit. It is identified by Freq. For example, each value of [0], [2], [3], [5], and [6] is assigned for frame frequency as EditFreq to 23.976Hz, 25Hz, 29.97Hz, 50Hz, and 59.97Hz, respectively.

[0044] The train whose frame frequency is 23.976Hz, 50Hz, and 59.94Hz is the group to whom a progressive scan is given, and, as for each of each group, the two different modes of a video rate are defined. In addition, the mode in which frame frequency is 23.976Hz is the mode corresponding to cinema, for example, one frame consists of the 2 fields of the same image. Moreover, the group whose frame frequency is 25Hz and 29.97Hz has the mode which is two from which the video rate which carries out an interlace scan differs, respectively, and

the mode which is two from which the video rate which carries out a progressive scan differs. In the mode of a progressive scan of this group, one frame consists of the 2 fields of the same image like above-mentioned cinema mode. The flag which serves as a scanning method from the value of either [1] or [0] to a video rate, respectively is assigned. As for all the numbers of Rhine, the flag of the value of [1] is assigned in this example.

[0045] That is, each video format mode shown in this drawing 4 is discriminable from the value of [EditFreq] with each flag of [line], [scan], and [rate].

[0046] On the other hand, about audio data, a sampling frequency and a quantifying bit number are common respectively, for example, are made into 48kHz and 16 bits per one sample. The number of channels supports eight channels and four channels. Moreover, the die length of the sink block which is incompressible as for audio data, is treated with this 1 operation gestalt, and stores audio data is fixed by the number of bits and frame frequency per sample. That is, if the die length of the sink block which stores audio data has the same number of bits and frame frequency per sample, it will not be concerned with the picture frame and compression rate of video, but will serve as constant value.

[0047] Drawing 5 - drawing 7 show the example of arrangement of the audio data in 1 error-correction block for every frame frequency. These drawing 5 - drawing 7 show the arrangement after addition of outside sign parity. As shown

in drawing 5 A, drawing 6 A, and drawing 7 A, two error correction blocks to which sign parity was given outside those for 10 sink block to the audio data of 8 sink block at 1 field period or 1 P frame period are formed.

[0048] The audio data of each channel constitute 1 error-correction block from a sample of No. even of 1 field period, and a sample of No. odd, respectively. That is, 2 error-correction block is formed at 1 field period. In drawing 5 B, drawing 6 B, and drawing 7 B, each frame under 1 error-correction block expresses the data of one sample. A number is a sample number attached in order of the sample. In addition, PV 0-9 shows outside sign parity. In this example, since one sample is 16 bits (2 bytes), each frame is data for 16 bits, respectively.

[0049] Frame frequency is an example (59.94Hz (progressive scan) or 29.97Hz (INTARESU scan)), and the audio data of drawing 5 of 1 field period are 800 or 801 samples. Frame frequency is an example (50Hz (progressive scan) or 25Hz (INTARESU scan)), and, as for drawing 6, the audio data of 1 field period consist of 960 samples. Moreover, drawing 7 is an example whose frame frequency is 23.976Hz, and the audio data of 1 field period consist of 1001 samples. It is common in drawing 5 - drawing 7, and it is the packet from which each of each line constitutes 1 sink block, and 1 error-correction block consists of sign parity outside those for the data for 8 sink block, and 10 sink block.

[0050] AUX data are stored in a part for one top sample in each of 3 sink block of

the beginning of each error correction block. Drawing 8 shows an example of the contents of each AUX data. Drawing 8 A shows the example of bit assignment of AUX data, and drawing 8 B shows the semantics of each data.

[0051] The 2-bit data Amd which identify the 1-bit data D showing whether AUX(s)0 are the 1-bit bit length data B showing whether it is [24-bit] whether the 2-bit data EF showing the editing point of an audio and a quantifying bit number are 16 bits and incompressible audio data and audio mode, and a sampling frequency consist of 2-bit data FS showing any which are 48kHz, 44.1kHz, 32kHz, and 96Hz they are. When continuing 8 bits and one sample are 24 bits, 8 more bits is set to Reserved (reservation).

[0052] As for AUX1, the whole is set to Reserved (reservation).

[0053] As for data AUX2, let 8 bits of the beginning be a format mode. When continuing 8 bits and one sample are 24 bits, 8 more bits is set to Reserved (reservation). A format mode consists of 2 bits [Line mode], 2 bits [Rate], 1-bit [Scan], and [Freq] of a triplet. These [Line mode], [Rate], [Scan], and [Freq] correspond to [Edit Freq], [line], [scan], and [rate] which were shown in above-mentioned drawing 4 , respectively. That is, a video format can be known by seeing this data AUX2.

[0054] Drawing 9 shows an example of the track format which records a video data and audio data. The track format as drawing 2 mentioned above with this

same drawing 9 is shown, and six trucks correspond to 1P frame. As shown in drawing 9 A, in this example, eight audio sectors are arranged at a time to each truck, and each audio sector consists of a 6 sink block. The data for one frame are recorded on six trucks, and it is 6 sink block x6 truck, and audio data are considered as all 36 sink blocks, and correspond to above-mentioned drawing 5 - drawing 7 .

[0055] The block ID (FF, FE, FD, FC, FB, FA: wholly hexadecimal notation) with which each audio sector continued from head trace as an example was shown in drawing 9 B is assigned. As an example is shown in drawing 9 C, from head trace, 2 bytes of SYNC pattern, 2 bytes of block ID, and 1 byte of DID are allotted, and, as for each sink block, the data packet in which audio data are stored continuously is allotted. 12 bytes of inner sign parity is allotted after the packet of audio data. As for the data packet, data are stuffed into D0, D1, D2, ..., order per 1 byte from the head. That is, the first 8 bits of the AUX0, AUX1, and data AUX2 which were mentioned above will be stored in D0 of the head of a data packet.

[0056] In this example, when predetermined information is stored to DID mentioned above and this predetermined information is acquired from DID, it is shown that 8 bytes of head of data AUX2 is stored in D0 of the continuing data packet. When [7] is expressed by the low order triplet (Amode0, Amode1, and

A mode 2) of DID of audio data in bit assignment of DID mentioned above, more specifically, it is supposed that D0 of the continuing data packet is data AUX2.

[0057] Next, one gestalt of implementation of this invention is explained, referring to a drawing. Drawing 10 shows the configuration of an example of the reversion system of the digital video tape recorder by one gestalt of implementation of this invention. The digital video signal which is the format mentioned above, with was recorded on the magnetic tape is reproducible with this configuration. In addition, in the following explanation, this digital video tape recorder shall support the format of two digital video signals, 480 lines / interlace scan (it is called 480I for short), and 480 lines / progressive scan (it is called 480P for short).

[0058] In a digital video tape recorder, the regenerative signal reproduced from the magnetic tape is supplied to a regenerative circuit 10 by the magnetic head prepared in the rotating drum which is not illustrated. A regenerative circuit 10 changes the supplied regenerative signal into digital data including playback amplifier, a playback equalizer, PLL (Phase Locked Loop), a demodulator circuit, etc.

[0059] The digital data outputted from the regenerative circuit 10 is supplied to the SYNC-ID detector 11, and a SYNC pattern, and ID and DID are extracted. If the sink block concerned is judged to be the block containing AUX of audio data

based on extracted DID, AUX2 will be read and a record format of a video signal will be distinguished. In this example, it is distinguished whether a record format is 480I or it is 480P. Based on this distinction result, the playback format indication signal which directs a playback format is outputted. A playback format indication signal is supplied to the error correction circuit 12 and the video decoder circuit 13 while it is supplied to the output-control circuit 18.

[0060] The data outputted from the SYNC-ID detector are supplied to the error correction circuit 12. In the error correction circuit 12, the error correction of the decryption processing of an error correction sign is performed and carried out to the playback data supplied from the SYNC-ID detector 11 according to directions of a playback format indication signal. When an error exists exceeding the error correction capacity of an error correction sign at this time, an error correction is not performed but the error flag which shows that an error exists is outputted. An error flag is used in the error retouching circuit which is not illustrated, for example.

[0061] The data by which the error correction was carried out in the error correction circuit 12 are supplied to the video decoder circuit 13. In the video decoder circuit 13, according to directions of a playback format indication signal, MPEG 2 is decoded to the supplied playback data, the signal by which compression coding was carried out is elongated and the digital video signal of

baseband is outputted. The brightness component Y of the digital video signal outputted from the video decoder circuit 13 is supplied to the perpendicular filter block 14, and the color component C is supplied to the perpendicular filter block 15.

[0062] The perpendicular filter block 14 consists of the method conversion circuit 20, a perpendicular filter circuit 21, and a delay equalization circuit 22. The method conversion circuit 20 performs conversion (P/I conversion) to the interlace scan from a progressive scan, and conversion (I/P conversion) to the progressive scan from an interlace scan to the supplied video signal.

[0063] Moreover, the perpendicular filter circuit 21 cancels pitching of the display screen produced because the field polarities of the reference signal supplied from the outside and the video signal outputted from the video decoder circuit 13, i.e., the correspondence relation between the ODD field and the EVEN field, differ.

[0064] On the other hand, the delay equalization circuit 22 is a circuit which obtains a non-changed output, and in order to double with the phase of the digital video signal outputted from the method conversion circuit 20 and the perpendicular filter circuit 21, it gives delay of the specified quantity to the supplied digital video signal. The signal outputted from the method conversion circuit 20, the perpendicular filter circuit 21, and the delay equalization circuit 22

is supplied to the input electronic switches 30 and 34 of output circuits 16 and 17, respectively.

[0065] Like the above-mentioned perpendicular filter block 14, the perpendicular filter block 15 consists of the method conversion circuit 23, a perpendicular filter circuit 24, and a delay equalization circuit 25, and that of the perpendicular filter block 14 is controllable independently. The chrominance-signal component C of the digital video signal supplied to the perpendicular filter block 15 is made to be the same as that of **** in processing predetermined in these circuits, and is supplied to the input electronic switches 31 and 35 of output circuits 16 and 17, respectively.

[0066] Based on the selection indication signal outputted from the output-control circuit 18, the input electronic switches 30 and 34 change alternatively the digital video signal outputted from the delay equalization circuit 22, the method conversion circuit 20, and the perpendicular filter circuit 21, and output it. The input electronic switches 31 and 35 change and output similarly the digital video signal outputted from the delay equalization circuit 25, the method conversion circuit 23, and the perpendicular filter circuit 24 based on the selection indication signal outputted from the output-control circuit 18.

[0067] For example, when playback of the signal of 480P format is directed by the playback format indication signal and the output of the signal of a 480I format

is directed by the output-format indication signal, it is shown that it is necessary to carry out method conversion and to output the signal reproduced in the 480P format to a 480I format. Therefore, the output of the method conversion circuit 20 is chosen by the input electronic switch 30, and the output of the method conversion circuit 23 is chosen by the input electronic switch 31.

[0068] In an output circuit 16, the luminance signal Y and chrominance signal C which were outputted from the input electronic switches 30 and 31, respectively are supplied to the mute circuit 32. The mute circuit 32 transposes the predetermined period after the format of the reproduced video signal was changed based on the directions from the control circuit which is not illustrated, the supplied luminance signal Y, and a chrominance signal C to a predetermined signal, for example, a signal which displays gray, and is outputted. It is continued for several seconds until actuation of the circuit 13 of a reversion system, for example, a video decoder circuit, is stabilized by replacement of the signal by the mute circuit 32.

[0069] The digital video signal outputted from the mute circuit 32 is supplied to synchronizing signal generating / addition circuit 33. Synchronizing signal generating / addition circuit 33 has a counter, and generates a sink pattern based on the synchronizing signal (reference signal) supplied from the outside. The generated sink pattern is added to predetermined and the digital video

signal supplied to synchronizing signal generating / addition circuit 33 is outputted.

[0070] It is made for synchronizing signal generating / addition circuit 33 to continue operating corresponding to a fixed format according to directions of the output format set up by the switch formed, for example in the panel side of this VTR.

[0071] Also in an output circuit 17, the same processing as the above-mentioned output circuit 16 is made by the input electronic switches 34 and 35, the mute circuit 36, and synchronizing signal generating / addition circuit 37, and a digital video signal is outputted. The input of an external synchronizing signal and the directions of an output format to output circuits 16 and 17 can be performed independently, respectively. Therefore, output circuits 16 and 17 can output independently the digital video signal of a mutually different format, respectively.

[0072] The output-control circuit 18 outputs the input electronic switches 30 and 31 and the selection indication signal over the input change signals 34 and 35 based on the playback format indication signal supplied from the SYNC-ID detector 11, and the output-format indication signal based on the actuation from the panel side of this VTR for example. For example, when the playback whose playback format indication signal is 480P is shown and the output-format indication signal shows the output of 480I, in the input electronic switch 30 and

the input electronic switch 31, the output of the method conversion circuit 20 and the method conversion circuit 23 is chosen, respectively. In addition, an output-format indication signal can input two independent lines corresponding to output circuits 16 and 17.

[0073] the input electronic switch allotted to the head of an output circuit after preparing independently the method conversion circuit, the perpendicular filter circuit, and the delay equalization circuit to the luminance signal Y and the chrominance signal C, respectively and doubling these output phases in this invention, as mentioned above -- a luminance signal Y and a chrominance signal C -- he is trying to change independently each And format conversion between 480I and 480P is performed free, and it enables it to output the playback digital video signal of the signal format of 480I and 480P reproduced from the magnetic tape to the output of two lines, respectively.

[0074] Here, the digital video signal inputted into the perpendicular filter block 14 is explained roughly. Drawing 11 shows the physical relationship of Rhine of a digital video signal whose signal formats are 480I and 480P. In addition, field frequency is a 480P and 480I format, and is set to both 60Hz. In addition, since the perpendicular filter block 15 is equivalent to the perpendicular filter block 14, detailed explanation is omitted.

[0075] When a signal format is 480P, as shown in drawing 11 A, the 1 field

consists of 525 lines. The number of effective Rhine displayed on a screen among a total of 525 lines is made into 480. On the other hand, when a signal format is 480I, as an example is shown in drawing 11 B, a total of 525 lines is divided into the 1st field and the 2nd field, and one frame consists of these 1st and 2nd fields. The 1st field consists of the 1st line to the 263rd line, and the 2nd field from the 264th line is started behind time by 1/2 line from initiation Rhine (the 1st line) of the 1st field. That is, in a 480I format, the 2nd field will be displayed on a lower location by 1/2 line rather than the 1st field on a screen.

[0076] Here, the case where gear change playback which plays the magnetic tape with which such a video signal was recorded at a different rate from the time of record is performed is considered. In addition, gear change playback shall be 1/2X playback reproduced at the rate of the rate of less than 1X, for example, the one half at the time of record, here. Moreover, below, the "ODD field" and the 2nd field are explained for the 1st field in an interlace scan as the "EVEN field."

[0077] Drawing 12 shows roughly the order of an output of ODD and the EVEN field in an interlace scan in the case of 1/2X playback. In the case of 1/2X playback, one frame is usually outputted at the original period of two frames in the case of playback, and as an example is shown in drawing 12 B, ODD and the EVEN field are continuously outputted to an original one-frame period by a unit

of 2 times, respectively. This differs from the order of an output of original ODD and the EVEN field as shown in drawing 12 A, and the field reversed to original ODD and the sequence of the EVEN field exists.

[0078] On the other hand, in synchronizing the video signal outputted from this VTR with the synchronizing signal supplied from the outside, for example, displaying it on a monitor etc., in the field which this ODD and EVEN have reversed, the signal of the EVEN field will be displayed on the Rhine location of the original ODD field, or the signal of the ODD field will be conversely displayed on the Rhine location of the original EVEN field, and un-arranging arises.

[0079] In order to avoid this, perpendicular filtering is usually performed to the video signal outputted, and the center of gravity of a screen is moved. With one gestalt of this operation, processing of the perpendicular filter block 14 and 15 smell lever is made.

[0080] Next, the perpendicular filter blocks 14 and 15 are explained more to a detail. In addition, since the perpendicular filter blocks 14 and 15 are realizable with the configuration of abbreviation identitas, below, the perpendicular filter block 14 is explained. Drawing 13 shows the configuration of an example of the perpendicular filter block 14 more to a detail. The playback video signal outputted from the video decoder circuit 13 is supplied to multiplier multiplier 51A while it is supplied to the delay circuits 50A-50D of 4 ream. The output of delay

circuits 50A-50D is supplied to the multiplier multipliers 51B-51E, respectively.

[0081] A perpendicular filter consists of delay circuits 50A-50D of 4 reams, multiplier multipliers 51A-51D, and an adder 52. The delay circuits 50A-50D of 4 reams consist for example, of Rhine memory, and delay for one line is given to the signal inputted, respectively. The delay for one line is equivalent to 64 microseconds, when a signal format is 480I, and it corresponds at 32 microseconds at the time of 480P.

[0082] Drawing 14 shows the multiplier multipliers 51A-51E further to a detail. Each of the multiplier multipliers 51A-51E carries out the multiplication of the video signal which chose the multiplier set to two multiplier registers by the multiplier selection circuitry, and was inputted as the selected multiplier by the multiplication circuit. Since these multipliers multipliers 51A-51E are the same configurations, they explain multiplier multiplier 51A. Multipliers a1 and b1 are set to two multiplier registers. Multipliers a1 and b1 are chosen by multiplier selection-circuitry 53A based on the playback format indication signal and output-format indication signal which were mentioned above. The multiplier chosen by multiplier selection-circuitry 53A multiplies by the digital video signal inputted into multiplication circuit 54A, and it is outputted.

[0083] Also in the multiplier multiplication circuits 51B-51E, multipliers a2-a5 and selection of b2-b5 are made similarly, and a multiplier takes an advantage to the

inputted digital video signal. The signal outputted from each of the multiplier multiplication circuits 51A-51E is added with an adder 52, and is compounded and outputted to the signal for one line.

[0084] Drawing 15 shows multipliers a1-a5 and the example of b1-b5. Each multiplier shown in this drawing 15 is a well-known value used in the case of the format conversion of a video signal. In drawing 15, the multipliers a1-a5 of a train (a), and b1-b5 are multipliers generally in the case of I/P conversion used, when multipliers a1-a5 are used, only in 0.5 H, a center of gravity shifts, and when multipliers b1-b5 are used, a center of gravity does not shift. Moreover, when the multiplier of this train (a) is used, the frequency characteristics of a signal fall to one half.

[0085] The multipliers a1-a5 of a train (b) are multipliers generally in the case of 1/2X playback used, when multipliers a1-a5 are used, only in 5/8H, a center of gravity shifts, and when multipliers b1-b5 are used, only in 1/8H, a center of gravity shifts. While using in order to amend the center-of-gravity gap in the case of ODD/EVEN field reversal [in / for the multipliers a1-a5 of this train (b), and b1-b5 / 1/2X playback of the conventional direction for use], with one gestalt of this operation, it uses also in the case of I/P conversion, so that it may mention later.

[0086] Moreover, the multipliers a1-a5 of a train (c), and b1-b5 are multipliers

used in case P/I conversion is performed. Since the value with respectively same multipliers a1-a5 and multipliers b1-b5 is used, change of a center of gravity is not produced in conversion by the train (c). The frequency characteristics of a signal are dropped on conversion by this train (c) in one half like conversion by the above-mentioned train (a).

[0087] In the multiplier of a train (b), a gap of a center of gravity with a perpendicular filter is set to $5/8H$ so that it may understand by drawing 15 . Moreover, also in the case of processing which does not shift a center of gravity, only $1/8H$ shift a center of gravity in fact. Moreover, in the train (a) and the train (c), a multiplier from which both frequency characteristics fall is used. Thereby, the image quality of the video signal outputted can be set constant by the case where a video signal is interpolated with a perpendicular filter, and the case where that is not right. Therefore, perpendicular filtering is performed using the multiplier of a lot with such near frequency characteristics. Thereby, the flicker of an output video signal can be prevented.

[0088] The multipliers a1-a5 and multipliers b1-b5 which were shown in drawing 15 are changed by the multiplier selection circuitries 53A-53E to predetermined timing, and are alternatively supplied to the multiplication circuits 54A-54E, respectively. Drawing 16 is a timing diagram which shows actuation of an example of these multiplier selection circuitries 53A-53E. Since the multiplier

selection circuitries 53A-53E perform the same actuation altogether, here explains them taking the case of multiplier multiplier 51A and multiplier selection-circuitry 53A.

[0089] Drawing 16 A is a video signal inputted into multiplier multiplier 51A, and D0, D1, D2, and ... show pixel data, respectively. Pixel data are inputted with the period of 1/13.5MHz based on the field frequency of a 480I format. As shown in drawing 16 B, it is directed that the multiplier change indication signal COESEL changes selection of multiplier selection-circuitry 53A with one half of the periods of a pixel entry-of-data period. By this multiplier change indication signal COESEL, multipliers a1 and b1 are one half of the periods of a pixel entry-of-data period, are changed in order of a multiplier a1 and a multiplier b1, and are supplied to multiplication circuit 54A. Therefore, from multiplier multiplier 51A, as shown in drawing 16 C, the signal with which the center of gravity was raised 0.5H, and the signal with which a center of gravity does not change will be compounded and outputted during the period of 1-pixel data. Namely, as for the output of multiplication circuit 54A, the data rate is made into twice to the input signal.

[0090] Thus, the signal for two lines is generated by changing multipliers a1 and b1 with one half of the periods of a pixel entry-of-data period. in addition -- drawing 16 -- C -- setting -- F -- zero -- ' -- F -- one -- ' -- F -- two -- ' ... a multiplier

-- a -- one -- taking an advantage -- having had -- things -- depending -- 0.5 -- H
-- a center of gravity -- raising -- having had -- Rhine -- a top -- a pixel -- data --
being shown -- F -- zero -- F -- one -- F -- two ... a multiplier -- b -- one -- taking
an advantage -- having -- a center of gravity -- raising -- having -- **** -- namely,
-- origin -- Rhine -- a location -- it is -- Rhine -- a top -- a pixel -- data -- be shown .

[0091] The output of multiplier multiplier 51A is added with the output of other multiplier multipliers 51B-51E which were able to multiply by multipliers a2-a5, and b2-b5 similarly, respectively, and an adder 52, and is considered as a perpendicular filter output. This perpendicular filter output is supplied to the delay circuits 56A-56D which give the delay for 32 microseconds, respectively. Delay circuits 56A-56D are for adjusting the amount of delay, for example, consist of FIFO (First In-First Out) memory, respectively.

[0092] The configuration after delay circuit 56A - 56D consists of a configuration as a perpendicular filter circuit 21, and a configuration as a method conversion circuit 20. The video outlet as a perpendicular filter circuit 21 is taken out from a selector 63, and the video outlet as an output of the method conversion circuit 20 is taken out from a selector 60. First, the configuration as a perpendicular filter circuit 21 and processing are explained.

[0093] While the output of delay circuit 56A is taken out and a selector 63 is supplied, the output of delay circuit 56B and delay circuit 56D is supplied to a

selector 63 through the center-of-gravity selection circuitries 61A and 61B, respectively.

[0094] The center-of-gravity selection circuitries 61A and 61B are explained.

Drawing 17 is a timing diagram which shows actuation of an example of the center-of-gravity selection circuitries 61A and 61B. Drawing 17 A shows the output of a perpendicular filter, and is drawing corresponding to drawing 16 C mentioned above. As mentioned above, the center of gravity of the signal outputted, the output 52, i.e., the adder, of a perpendicular filter, is the signal with which the raised data and the data from which the center of gravity is not changing were compounded with the period of 1-pixel original data $0.5H$. This signal is chosen and outputted to the signal with which the center of gravity changed, and the signal with which a center of gravity does not change in the center-of-gravity selection circuitries 61A and 61B.

[0095] It is, the playback video signal outputted from the video decoder circuit 13, and the reference at the time of the final output, for example, an external synchronizing signal, when the field polarity is reversed, the signal (drawing 17 C) based on multipliers a_1 - a_5 is chosen, when not reversed, the signal (drawing 17 B) based on multipliers b_1 - b_5 is chosen, timing is arranged, and, more specifically, a selector 63 is supplied.

[0096] For example, center-of-gravity selection-circuitry 61A latches alternatively

data F0, F1, and F2 and ... once among the perpendicular filter outputs of drawing 17 A, is synchronized with the data timing for 1 pixel, and is outputted in the field which two latch circuits which operate with one half of the periods of a pixel entry-of-data period are consisted of, and the field polarity has not reversed in a playback video signal and a reference (drawing 17 B). on the other hand -- playback -- a video signal -- a reference -- the field -- a polarity -- being reversed -- **** -- the field -- **** -- perpendicular -- a filter -- an output -- inside -- data -- F -- zero -- ' -- F -- one -- ' -- F -- two -- ' ... alternative -- two -- a time -- latching -- one -- a pixel -- a part -- data -- timing -- synchronizing -- making -- outputting (drawing 17 C) . Actuation and the configuration of center-of-gravity selection-circuitry 61B are also the same as that of center-of-gravity selection-circuitry 61A.

[0097] A selector 63 outputs alternatively the signal supplied from delay circuits 56B and 56D based on the relation between the field polarity of the playback video signal outputted from the video decoder circuit 13 at the time of gear change playback of the video signal of a 480i format, and the field polarity of reference signals, such as an external synchronizing signal supplied from the outside. The field polarity of a playback video signal is ODD, and in one gestalt of this operation, if the field polarity of a reference signal is EVEN, the output of delay circuit 56B is chosen, and in being other, it will choose the output of delay

circuit 56D.

[0098] Moreover, in case a selector 63 outputs the video signal of 480P format, it chooses the output of delay circuit 56A.

[0099] Drawing 18 and drawing 19 are used, the relation of a center of gravity between the playback video signal outputted from the video decoder circuit 13 at the time of 1/2X playback and the output video signal outputted from a selector 63 is shown, and processing by the configuration mentioned above is explained.

[0100] Drawing 18 is an example which ODD and the EVEN field of a reference do not reverse to the playback video signal inputted. The video signal reproduced by drawing 18 C by the interlace scan, i.e., the video signal of a 480I format, is shown, and ODD field output [based on the signal of drawing 18 C in drawing 18 A and drawing 18 B], drawing 18 D, and drawing 18 E shows the EVEN field output based on the signal of drawing 18 C. When outputting the signal of drawing 18 C in a 480I format, as shown in drawing 18 A and drawing 18 E, respectively, also in any of ODD and the EVEN field, it can output as it is, without also performing processing of what.

[0101] That is, the video signal which was outputted from the video decoder circuit 13 and inputted into the perpendicular filter block 14 is supplied to the delay circuits 50A-50D of 4 ream, is taken out from the 3rd step of delay circuit 50C, and is outputted as a non-changed output. This output is supplied to the

latter input electronic switches 30 and 34.

[0102] On the other hand, in outputting the signal of drawing 18 C by progressive scan, i.e., 480P format, as shown in drawing 18 B and drawing 18 D, respectively, interpolation generates Rhine of 480P and it outputs. Interpolation of Rhine is made with the perpendicular filter which consists of the delay circuits 50A-50D, the multiplier multipliers 51A-51E, and adder 52 which were mentioned above. It interpolates by storing in the multiplier register of the multiplier multipliers 51A-51E the multipliers a1-a5 shown in the train (a) of drawing 15 mentioned above, and b1-b5, and changing the multiplier selection circuitries 53A-53E to it predetermined. The interpolated signal is supplied to delay circuit 56A, has a phase put together, and is outputted through a selector 63.

[0103] Drawing 19 is the field which ODD and the EVEN field reverse, and is an example outputted by interlace scan, i.e., a 480I format. The video signal with which drawing 19 D was reproduced by 480I is shown, and this signal carries out like drawing 19 A through processing of drawing 19 C and drawing 19 B, and is outputted in the ODD field. Similarly, the signal of drawing 19 D carries out like drawing 19 F through processing of drawing 19 E, and is outputted in the EVEN field.

[0104] Since ODD and EVEN are reversed, the signal of the ODD field is

outputted from the video decoder circuit 13 to compensate for the synchronization of the EVEN field among the signals of drawing 19 D. Therefore, as shown in drawing 19 C, a center of gravity will fall by 0.5 lines (0.5H). This signal is supplied to the perpendicular filter block 14, perpendicular filtering of the multipliers a1-a5 shown in the train (b) of drawing 15 mentioned above is used and carried out, and a center of gravity is lowered 0.5H (drawing 19 B). Furthermore, as selection is shown to drawing 19 A by the selector 63 by changing from delay circuit 56D to 56B, as for this signal, 1H of centers of gravity is raised. Thereby, the signal of the ODD field is origin, namely, is returned to the Rhine location of the regenerative signal shown in drawing 19 D.

[0105] On the other hand, to compensate for the synchronization of the ODD field, it is similarly outputted from the video decoder circuit 13 about the EVEN field. Since it doubles with the ODD field, as the EVEN field is shown in drawing 19 E in this case, a center of gravity will go up by 0.5H. A center of gravity is lowered 0.5H by perpendicular filtering for which the multipliers a1-a5 this signal that the center of gravity went up by 0.5H is indicated to be to the train (b) of drawing 15 mentioned above were used, and as shown in drawing 19 F, the EVEN field is lowered to the original Rhine location.

[0106] Thus, a center of gravity is chosen as predetermined by the center-of-gravity selection circuitries 61A and 61B, and the signal by which

perpendicular filtering was carried out is supplied to a selector 63 while it is supplied to delay circuits 56A-56D and can double a phase. And the output of delay circuit 56B is chosen in the processing to drawing 19 A from drawing 19 D, and the output of delay circuit 56D is chosen from drawing 19 D by the processing to drawing 19 F.

[0107] Next, the configuration as a method conversion circuit 20 and processing are explained. The method conversion circuit 20 performs P/I conversion and I/P conversion, as mentioned above. The output of delay circuits 56A, 56B, and 56C is taken out, respectively, and is supplied to a selector 57. Therefore, the signal with which every 1H for 32 microseconds, i.e., 480P format, was shifted is inputted into a selector 57 three lines. In a selector 57, these three signals are outputted alternatively and the time-axis conversion circuits 58 and 59 are supplied. In a selector 57, while choosing the signal outputted with an output-format indication signal, the signal outputted based on the field polarity of the playback video signal outputted from the video decoder circuit 13 and a reference signal is chosen.

[0108] The time-axis conversion circuits 58 and 59 change a time-axis from a FIFO memory by becoming and reading the inputted digital video signal on a different time-axis from the time of an input, and perform P/I conversion or I/P conversion. The output of the time-axis conversion circuits 58 and 59 is supplied

to a selector 60, and is chosen and outputted to predetermined based on a playback format indication signal and an output-format indication signal.

[0109] First, the case of playback is usually explained. The output of delay circuit 56B is chosen in a selector 57. Drawing 20 shows the timing diagram of an example in the case of this usually playback. In addition, in drawing 20 and drawing 22 mentioned later, drawing 23 , and drawing 24 , the slash section shows a level blanking period.

[0110] Drawing 20 A shows a reference signal. In this example, a reference signal is equivalent to the signal of an interlace scan, and is set to $1H=64\text{microsecond}$. Synchronizing with this reference signal, the video signal of the 480I format shown in drawing 20 B is inputted into the perpendicular filter block 14. Rhine of 480P format is generated by the perpendicular filter from this signal (drawing 20 C). As mentioned above, with the perpendicular filter, the data for 2 pixels are compounded with the period of 1-pixel data by the multiplier selection circuitries 53A-53E, and multiplex is carried out to the period whose signal of 2 H parts of 480P format is 1H of a 480I format. This signal is delayed by a unit of 32 microsecond in delay circuits 56A and 56B, respectively (drawing 20 D and drawing 20 E), and is supplied to the time-axis conversion circuits 58 and 59 through a selector 57.

[0111] In the time-axis conversion circuit 58, the signal of Rhine of the first half is

alternatively written in a FIFO memory from the signal outputted from delay circuit 56B among 2H of the 480P format by which multiplex was carried out to 1H period of a 480I format (drawing 20 F). This signal is read to the period of the second half which is 1H by which the signal concerned is written in a FIFO memory like drawing 20 G . On the other hand, in the time-axis conversion circuit 59, the signal of Rhine of the second half is alternatively written in a FIFO memory from the signal outputted from delay circuit 56B among 2H of the 480P format by which multiplex was carried out to 1H period of a 480I format (drawing 20 H). This signal is read to the period of the first half which is the following 1H which is 1H by which the signal concerned is written in a FIFO memory like drawing 20 I .

[0112] By the time-axis conversion circuits 58 and 59, by the selector 60, the signal by which time-axis conversion was carried out is made into one signal, and is outputted as a conversion output of drawing 20 J . Thus, the signal with which the center of gravity was shifted on 0.5H made from the time-axis conversion circuits 58 and 59 being controlled with the perpendicular filter, and a signal without center-of-gravity change are outputted to every 1H, and the signal of the 480P format interpolated correctly is acquired.

[0113] In addition, the conversion output is delayed by 3H to the inputted signal, as shown in drawing 20 J . On the other hand, as shown in drawing 20 K , the

output from a selector 63 mentioned above sends delay circuits 56A-56D to the output of an adder 52, and is delayed in total by 3H to an input signal. Furthermore, since a non-changed output is taken out from the 3rd step of delay circuits 50A-50D, it has been delayed 3H to the input signal. That is, the phase of the output of the method conversion circuit 20, the perpendicular filter circuit 21, and the delay equalization circuit 22 suits mutually.

[0114] The case where gear change playback, for example, 1/2X playback, is performed is explained. In this case, as already stated, the field polarity of the playback video signal and reference signal which are outputted from the video decoder circuit 13 is reversed.

[0115] Drawing 21 shows the change of a center of gravity in the case of being the field which ODD and the EVEN field reverse, and outputting by progressive scan, i.e., 480P format, at the time of gear change playback. The video signal with which drawing 21 D was reproduced by 480I is shown, and this signal carries out like drawing 21 A through processing of drawing 21 C and drawing 21 B, and is outputted in the ODD field. Similarly, the signal of drawing 21 D carries out like drawing 21 G through processing of drawing 21 E and drawing 21 F, and is outputted in the EVEN field.

[0116] Since ODD and EVEN are reversed, the signal of the ODD field is outputted from the video decoder circuit 13 to compensate for the

synchronization of the EVEN field among the signals of drawing 21 D. Therefore, as shown in drawing 21 C, a center of gravity will fall by $0.5H$. And in the perpendicular filter block 14, by Rhine being interpolated by the multipliers a_1 - a_5 shown in the train (a) of drawing 15 mentioned above, and perpendicular filtering for which b_1 - b_5 were used, as shown in drawing 21 B, Rhine corresponding to a progressive scan is generated. This video signal considered as the format of 480P is supplied to the delay circuits 56A-56D of the latter part of a perpendicular filter, and by read-out of memory being controlled, as shown in drawing 21 A, a center of gravity is raised $1H$ and it is outputted.

[0117] On the other hand, the signal of the EVEN field is outputted from the video decoder circuit 13 to compensate for the synchronization of the ODD field. Therefore, as shown in drawing 21 E, a center of gravity will go up by $0.5H$. And in the perpendicular filter block 14, by Rhine being interpolated by the multipliers a_1 - a_5 shown in the train (a) of drawing 15 mentioned above, and perpendicular filtering for which b_1 - b_5 were used, as shown in drawing 21 F, Rhine corresponding to a progressive scan is created. This video signal considered as the format of 480P is supplied to delay circuits 56A-56D, and as shown in drawing 21 G, a center of gravity is lowered $1H$ and it is outputted. Since the 2nd line of 480P format is made from the 1st line of the EVEN field in a 480I format, the Rhine location by the side of the EVEN field becomes the same as the Rhine

location by the side of the ODD field of drawing 21 A by lowering 1H center of gravity.

[0118] Thus, when the field polarity of the playback video signal reproduced by gear change playback and a reference signal is reversed, a center of gravity is shifted by $0.5 [H]$ of a 480I format (32 microseconds) to an original center of gravity. Therefore, a gap of a minute of a center of gravity is returned these $0.5H$, i.e., 32 microseconds, by changing the number of stages of delay circuits 56A-56C for this in a selector 57. After that, like the time of above-mentioned usual playback, it is carrying out time-axis conversion by the time-axis conversion circuits 58 and 59, and the signal of the 480P format interpolated correctly is acquired.

[0119] Drawing 22 shows the timing chart of an example in the case of outputting the signal of the ODD field to the timing of the EVEN field, and drawing 23 shows the timing chart of an example in the case of outputting the signal of the EVEN field to the timing of the ODD field. When outputting the signal of the ODD field to the timing of the EVEN field, the output of delay circuit 56A is chosen in a selector 57. On the other hand, when outputting the signal of the EVEN field to the timing of the ODD field, the output of delay circuit 56C is chosen in a selector 57. Thus, by changing a delay number of stages, a gap of the center of gravity of $0.5 H$ parts mentioned above is returned. Since actuation of the time-axis

conversion circuits 58 and 59 is the same as that of the timing of drawing 20 mentioned above, detailed explanation is omitted.

[0120] Next, the case where the signal reproduced in the 480P format from the video decoder circuit 13 is processed is explained. The flow of a signal is the same as the case where the signal of the 480I format mentioned above is reproduced. The value of the train (c) of drawing 15 can be used for multipliers a1-a5, and b1-b5 in a perpendicular filter. Since the data rate is the 480I format [twice], the signal of 480P format needs to take into consideration neither a multiplier change with a perpendicular filter which was explained by drawing 16 and drawing 17 , nor the change by the center-of-gravity selection circuitries 61A and 61B. Moreover, 480P format is a non-interlace scan which does not perform an interlace scan originally, and is 1 field =1 frame. Therefore, the phenomenon of the field polarity reversals of the playback video signal outputted from the video decoder circuit 13 at the time of gear change playback and a reference signal does not arise. For this reason, in both the selector 57 and the selector 63, the signal of delay circuit 56A is always chosen.

[0121] Drawing 24 is a timing diagram which shows processing of an example of the signal of 480P format. As a reference signal is shown in drawing 24 A, it is a signal corresponding to 480P format, and 1H are set to 32 microseconds. The video signal of the 480P format outputted from the video decoder circuit 13 is

inputted like drawing 24 B to the perpendicular filter block 14. This signal is a perpendicular filter, is delayed by 64 microsecond, and is inputted into delay circuit 56A (drawing 24 C). The signal (drawing 24 D) delayed by delay circuit 56A only 864 words is supplied to the time-axis conversion circuits 58 and 59.

[0122] In the time-axis conversion circuits 58 and 59, reverse processing in the case of processing of the 480I format mentioned above by drawing 20 , drawing 21 , and drawing 23 is performed. That is, as shown in drawing 24 E, drawing 24 F, drawing 24 H, and drawing 24 I, respectively, the signal of the 480P format which was written in the FIFO memory and whose 1H are 32 microseconds is read over the time amount for 64 microseconds. Moreover, in the time-axis conversion circuits 58 and 59, as shown in drawing 24 G and drawing 24 J, only 1 H of 480P format shift mutually, and read-out is made. In this example, the output of the time-axis conversion circuit 58 is made into the 1st field (ODD field), and let the output of the time-axis conversion circuit 59 be the 2nd field (EVEN field). thus -- the time of P/I conversion -- the time-axis conversion circuits 58 and 59 -- setting -- a signal -- 1 -- the output signal corresponding to a 480I format is acquired with it being thinned out every [H] and outputted.

[0123] As shown to drawing 24 G, drawing 24 J, drawing 24 K, and drawing 24 L by this example, the output of the method conversion circuit 20, the perpendicular filter circuit 21, and the delay equalization circuit 22 is mutually

doubled in a phase.

[0124] In addition, although **** explained focusing on the processing Y with the perpendicular filter block 14, i.e., the luminance-signal component of a video signal, and explained the example which changes the number of Rhine of a video signal, a chroma format is convertible by applying this to the chrominance-signal component C of a video signal. For example, a chroma format can change [a chroma format] the signal of 4:2:2 into the signal of 4:2:0. For example, if the multiplier of a train (a) and a train (c) is used among the multipliers shown in drawing 15 in a perpendicular filter as mentioned above, since the frequency characteristics of a signal will be dropped on one half, a chroma format is convertible using this. Moreover, since mutually-independent [of the perpendicular filter blocks 14 and 15] is carried out and it is controlled, both the number of Rhine and a chroma format are also convertible.

[0125] Furthermore, although **** explained that one gestalt of this operation was applied to conversion between a 480I format and 480P format, this is not limited to this example. For example, conversion between HD (High Definition) format and SD (Standard Definition) format can also be performed with the configuration of one gestalt of this operation. HD format is making [many] the number of Rhine, and the measurement size of one line to SD format, and has realized high resolution rather than SD format.

[0126] By ****, although it explained that it was applied to VTR which processes the signal with which this invention used the magnetic tape as the record medium, and was reproduced from the magnetic tape, this is not limited to this example further again. For example, it is applicable also to equipment which changes the video signal reproduced from this disk-like record medium by using a record medium as a disk-like record medium. Moreover, for example, one gestalt of this operation can be applied, not only the video signal reproduced from the record medium but when changing the video signal supplied through the transmission line of a cable or wireless.

[0127] Moreover, although **** explained that VTR by one gestalt of this operation corresponded to two formats, this is not restricted to this example but can respond to a format of many networks further.

[0128]

[Effect of the Invention] As explained above, according to this invention, it is effective in the ability to change automatically the mode of operation of a method converter which performs P/I conversion and I/P conversion from the output-format information beforehand specified as the playback video format information recorded on the magnetic tape.

[0129] Moreover, since the perpendicular filter and the output circuit are established independently in the brightness component signal Y and the

chrominance-signal component C, respectively, it is effective in the ability to respond to the difference in the frequency characteristics of the chroma at the time of an output etc.

[0130] Furthermore, with one gestalt of this operation, it has the output of two or more kinds of different formats, and there is effectiveness which can double a phase and can output mutually the video signal of these two or more kinds of different formats.

[0131] Since the output circuit has added the synchronization based on an external synchronizing signal to an output signal uniquely, also in case the magnetic tape to play is changed to the tape of a different format further again according to one gestalt of this operation, there is effectiveness which can add a synchronization continuously. Moreover, since mute only of the predetermined period is carried out, for example, an output signal is transposed for it to a gray signal at the time of modification of a format, it is effective in the error screen at the time of format modification not being displayed.

[0132] Moreover, according to one gestalt of this operation, it is effective in the ability to choose two or more formats free in matrix.

[0133] Furthermore, according to one gestalt of this operation, since filtering for gear change playback and filtering for method conversion are performed with the common configuration, it is effective in circuit scales being reducible.

[0134] Since the abbreviation for frequency characteristics etc. is by carrying out as a filter for method conversion and two kinds of filter factors are used further again, the flicker generated by the difference of a field polarity between a regenerative signal and a reference signal at the time of gear change playback can be reduced.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the approximate line Fig. showing an example of the track format formed on a magnetic tape.

[Drawing 2] It is the approximate line Fig. showing arrangement of the sector on a tape.

[Drawing 3] It is the approximate line Fig. showing an example of bit assignment of ID0 and ID1.

[Drawing 4] It is the approximate line Fig. showing two or more formats of a video signal.

[Drawing 5] It is the approximate line Fig. showing an example of arrangement of the audio data in 1 error-correction block.

[Drawing 6] It is the approximate line Fig. showing an example of arrangement of the audio data in 1 error-correction block.

[Drawing 7] It is the approximate line Fig. showing an example of arrangement of the audio data in 1 error-correction block.

[Drawing 8] It is the approximate line Fig. showing an example of the contents of AUX data.

[Drawing 9] It is the approximate line Fig. showing an example of the track format which records a video data and audio data.

[Drawing 10] It is the block diagram showing the configuration of an example of the reversion system of the digital video tape recorder by one gestalt of implementation of this invention.

[Drawing 11] A signal format is the approximate line Fig. showing the physical relationship of Rhine of the digital video signal which are 480I and 480P.

[Drawing 12] It is the approximate line Fig. showing roughly the order of an output of ODD and the EVEN field in an interlace scan in the case of 1/2X playback.

[Drawing 13] It is the block diagram showing the configuration of an example of a perpendicular filter block in a detail more.

[Drawing 14] It is the block diagram showing a multiplier multiplier in a detail further.

[Drawing 15] They are multipliers a1-a5 and the block diagram showing the example of b1-b5.

[Drawing 16] It is the timing diagram which shows actuation of an example of a multiplier selection circuitry.

[Drawing 17] It is the timing diagram which shows actuation of an example of a center-of-gravity selection circuitry.

[Drawing 18] It is the approximate line Fig. showing the example which ODD and the EVEN field of a reference do not reverse to the playback video signal inputted.

[Drawing 19] It is the field which ODD and the EVEN field reverse, and is the approximate line Fig. showing the example outputted by interlace scan, i.e., a 480I format.

[Drawing 20] Usually, it is the timing diagram of an example in the case of playback.

[Drawing 21] It is the field which ODD and the EVEN field reverse at the time of gear change playback, and is the approximate line Fig. showing the change of a center of gravity in the case of outputting by progressive scan, i.e., 480P format.

[Drawing 22] It is the timing chart of an example in the case of outputting the signal of the ODD field to the timing of the EVEN field.

[Drawing 23] It is the timing chart of an example in the case of outputting the

signal of the EVEN field to the timing of the ODD field.

[Drawing 24] It is the timing diagram which shows processing of an example of the signal of 480P format.

[Description of Notations]

11 ... A SYNC-ID detector, 13 ... 14 A video decoder circuit, 15 ... Perpendicular filter block, 16 17 ... An output circuit, 18 ... 20 An output-control circuit, 23 ... Method conversion circuit, 21 24 ... 22 A perpendicular filter circuit, 25 ... Delay equalization circuit, 30, 31, 34, 35 ... 32 An input electronic switch, 36 ... Mute circuit, 33 37 ... Synchronizing signal generating / addition circuit, 50A-50D ... Delay circuit, 51A-51E ... A multiplier multiplication circuit, 52 ... An adder, 53A-53E ... Multiplier selection circuitry, 54A-54E [... A time-axis conversion circuit, 60 / ... A selector, 61A, 61B / ... A center-of-gravity selection circuitry, 63 / ... Selector] ... A multiplication circuit, 56A-56D ... A delay circuit, 57 ... 58 A selector, 59

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-285802

(P2001-285802A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 4 N 5/92		G 1 1 B 20/10	3 2 1 Z 5 C 0 5 3
G 1 1 B 20/10	3 2 1	20/12	5 C 0 5 5
20/12		H 0 4 N 5/92	H 5 D 0 4 4
H 0 4 N 5/91		5/91	Z
9/80		9/80	A
審査請求 未請求 請求項の数32 O L (全 25 頁)			

(21) 出願番号 特願2000-101882(P2000-101882)

(22) 出願日 平成12年4月4日 (2000. 4. 4)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 早川 知男

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72) 発明者 荻窪 純一

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 100082762

弁理士 杉浦 正知

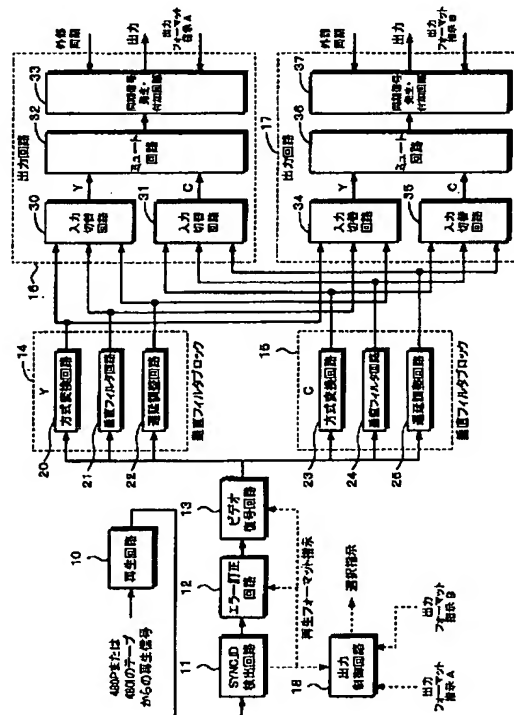
最終頁に続く

(54) 【発明の名称】 再生装置および方法、ならびに、信号処理装置および方法

(57) 【要約】

【課題】 異なるフォーマットのビデオ信号に対応すると共に複数系統のビデオ出力を有し、且つ、安価で小型化が可能な構成を実現する。

【解決手段】 再生ビデオ信号に埋め込まれたフォーマット情報が検出回路11で取り出され、出力制御回路18に供給される。出力制御回路18及び出力回路16、17に出力フォーマット指示が供給される。垂直フィルタブロック14、15の動作が、フォーマット情報及び出力フォーマット指示に基づき制御される。方式変換回路20、23、垂直フィルタ回路21、24及び遅延調整回路22、25の出力は、互いに位相を合わせて出力され、出力フォーマット指示に基づき入力切替回路30、31、34及び35で選択される。出力回路16、17は、夫々の出力フォーマット指示に応じた同期でビデオ信号を出力する。垂直フィルタブロック14、15は、輝度成分Y及び色成分C夫々で独立して制御されると共に、出力回路16、17が独立制御される。複数フォーマットのビデオ信号に入出力が独立して対応でき、クロマフォーマットの変更にも対応できる。



【特許請求の範囲】

【請求項1】 複数の信号フォーマットのビデオ信号を再生可能で、且つ、再生されたビデオ信号のフォーマットを変換して出力可能な再生装置において、フォーマット情報を埋め込まれて記録されたビデオ信号を記録媒体から再生する再生手段と、上記再生手段で再生された上記ビデオ信号から上記フォーマット情報を検出するフォーマット検出手段と、出力されるビデオ信号のフォーマットを指示する出力フォーマット指示手段と、上記再生手段で再生された上記ビデオ信号のフォーマットを変換するフォーマット変換手段とを有し、上記フォーマット検出手段により検出されたフォーマット情報と、上記出力フォーマット指示手段による出力フォーマットの指示とに基づき、自動的に上記フォーマット変換手段の動作を切り替えるようにしたことを特徴とする再生装置。

【請求項2】 請求項1に記載の再生装置において、上記フォーマット変換手段は、インタレース走査とプログレッシブ走査とを相互に変換可能であることを特徴とする再生装置。

【請求項3】 請求項2に記載の再生装置において、上記フォーマット変換手段は、インタレース走査の走査線をフィルタ処理で補間してプログレッシブ走査の走査線を生成するフィルタ手段を有し、上記フィルタ手段は、周波数特性の略等しい2種類のフィルタ係数を用いて上記補間を行うようにしたことを特徴とする再生装置。

【請求項4】 請求項3に記載の再生装置において、上記フィルタ手段は、入力ビデオ信号の1画素分のデータ期間に上記2種類のフィルタ係数を切り替えるようにしたことを特徴とする再生装置。

【請求項5】 請求項3に記載の再生装置において、上記フォーマット変換手段は、インタレース走査で第1のフィールドを第2のフィールドに同期させて出力する際の重心のずれを、上記フィルタ手段によって上記2種類のフィルタ係数を用いて補正するようにしたことを特徴とする再生装置。

【請求項6】 請求項1に記載の再生装置において、上記フォーマット変換手段は、HDフォーマットとSDフォーマットとを相互に変換可能であることを特徴とする再生装置。

【請求項7】 請求項1に記載の再生装置において、上記再生されたビデオ信号のフォーマットが変更されたときに所定期間出力をミュートする出力制御手段をさらに有することを特徴とする再生装置。

【請求項8】 請求項1に記載の再生装置において、上記出力フォーマット指示手段の指示に基づき、上記出力フォーマット指示手段で指示された出力フォーマットに対応する同期信号を、出力されるビデオ信号に付加す

る出力制御手段をさらに有することを特徴とする再生装置。

【請求項9】 複数の信号フォーマットのビデオ信号を再生可能で、且つ、再生されたビデオ信号のフォーマットを変換して出力するようにした再生方法において、フォーマット情報を埋め込まれて記録されたビデオ信号を記録媒体から再生する再生のステップと、上記再生のステップで再生された上記ビデオ信号から上記フォーマット情報を検出するフォーマット検出のステップと、出力されるビデオ信号のフォーマットを指示する出力フォーマット指示のステップと、上記再生のステップで再生された上記ビデオ信号のフォーマットを変換するフォーマット変換のステップとを有し、上記フォーマット検出のステップにより検出されたフォーマット情報と、上記出力フォーマット指示のステップによる出力フォーマットの指示とに基づき、自動的に上記フォーマット変換のステップでの動作を切り替えるようにしたことを特徴とする再生方法。

【請求項10】 複数の信号フォーマットのビデオ信号を再生可能で、且つ、再生されたビデオ信号を複数のフォーマットで同時に出力可能な再生装置において、記録媒体に記録されたビデオ信号を再生する再生手段と、上記再生手段で再生された上記ビデオ信号のフォーマットを変換するフォーマット変換手段と、上記再生手段で再生された上記ビデオ信号を、上記フォーマット変換手段でフォーマット変換されて出力されたビデオ信号と位相を合わせて出力するバイパス手段と、上記フォーマット変換手段から出力されたビデオ信号と、上記バイパス手段から出力されたビデオ信号とを選択して出力する複数の出力手段とを有し、上記複数の出力手段から同時にビデオ信号の出力を行うことを特徴とする再生装置。

【請求項11】 請求項10に記載の再生装置において、上記フォーマット変換手段および上記バイパス手段は、上記ビデオ信号の輝度成分と色成分とにそれぞれ設けられ、上記複数の出力手段は、上記フォーマット変換手段および上記バイパス手段を、上記輝度成分と上記色成分とで独立して選択するようにしたことを特徴とする再生装置。

【請求項12】 請求項10に記載の再生装置において、上記再生手段で再生された上記ビデオ信号に対してフィルタ処理を行うフィルタ手段をさらに有し、上記フィルタ手段は、上記フォーマット変換手段でフォーマット変換されて出力されたビデオ信号と位相を合わせてビデオ信号を出力すると共に、上記複数の出力手段

は、上記フォーマット変換手段から出力されたビデオ信号と、上記バイパス手段から出力されたビデオ信号と、上記フィルタ手段から出力されたビデオ信号とを選択して出力するようにしたことを特徴とする再生装置。

【請求項13】 請求項12に記載の再生装置において、

上記フィルタ手段、上記フォーマット変換手段および上記バイパス手段は、上記ビデオ信号の輝度成分と色成分とにそれぞれ設けられ、上記複数の出力手段は、上記フィルタ手段、上記フォーマット変換手段および上記バイパス手段を、上記輝度成分と上記色成分とで独立して選択するようにしたことを特徴とする再生装置。

【請求項14】 請求項10に記載の再生装置において、

上記複数の出力手段のそれぞれは、上記再生されたビデオ信号のフォーマットが変更されたときに所定期間出力をミュートすることを特徴とする再生装置。

【請求項15】 請求項10に記載の再生装置において、

出力されるビデオ信号のフォーマットを指示する出力フォーマット指示手段をさらに有し、

上記複数の出力手段のそれぞれは、上記出力フォーマット指示手段の指示に基づき、上記出力フォーマット指示手段で指示された出力フォーマットに対応する同期信号を、出力されるビデオ信号に付加することを特徴とする再生装置。

【請求項16】 複数の信号フォーマットのビデオ信号を再生可能で、且つ、再生されたビデオ信号を複数のフォーマットで同時に出力するようにされた再生方法において、

記録媒体に記録されたビデオ信号を再生する再生のステップと、

上記再生のステップで再生された上記ビデオ信号のフォーマットを変換するフォーマット変換のステップと、

上記再生のステップで再生された上記ビデオ信号を、上記フォーマット変換のステップでフォーマット変換されて出力されたビデオ信号と位相を合わせて出力するバイパスのステップと、

上記フォーマット変換のステップから出力されたビデオ信号と、上記バイパスのステップにより出力されたビデオ信号とを選択して出力する複数の出力のステップとを有し、

上記複数の出力のステップから同時にビデオ信号の出力を行うことを特徴とする再生方法。

【請求項17】 複数の信号フォーマットのビデオ信号を入力可能で、且つ、入力されたビデオ信号のフォーマットを変換して出力可能な信号処理装置において、入力されたビデオ信号に埋め込まれたフォーマット情報を検出するフォーマット検出手段と、出力されるビデオ信号のフォーマットを指示する出力フ

ォーマット指示手段と、

上記入力されたビデオ信号のフォーマットを変換するフォーマット変換手段とを有し、

上記フォーマット検出手段により検出されたフォーマット情報と、上記出力フォーマット指示手段による出力フォーマットの指示とに基づき、自動的に上記フォーマット変換手段の動作を切り替えるようにしたことを特徴とする信号処理装置。

【請求項18】 請求項17に記載の信号処理装置において、

上記フォーマット変換手段は、インタレース走査とプログレッシブ走査とを相互に変換可能であることを特徴とする信号処理装置。

【請求項19】 請求項18に記載の信号処理装置において、

上記フォーマット変換手段は、インタレース走査の走査線をフィルタ処理で補間してプログレッシブ走査の走査線を生成するフィルタ手段を有し、

上記フィルタ手段は、周波数特性の略等しい2種類のフィルタ係数を用いて上記補間を行うようにしたことを特徴とする信号処理装置。

【請求項20】 請求項19に記載の信号処理装置において、

上記フィルタ手段は、上記入力されたビデオ信号の1画素分のデータ期間に上記2種類のフィルタ係数を切り替えるようにしたことを特徴とする信号処理装置。

【請求項21】 請求項19に記載の信号処理装置において、

上記フォーマット変換手段は、インタレース走査で第1のフィールドを第2のフィールドに同期させて出力する際の重心のずれを、上記フィルタ手段によって上記2種類のフィルタ係数を用いて補正するようにしたことを特徴とする信号処理装置。

【請求項22】 請求項17に記載の信号処理装置において、

上記フォーマット変換手段は、HDフォーマットとSDフォーマットとを相互に変換可能であることを特徴とする信号処理装置。

【請求項23】 請求項17に記載の信号処理装置において、

上記入力されたビデオ信号のフォーマットが変更されたときに所定期間出力をミュートする出力制御手段をさらに有することを特徴とする信号処理装置。

【請求項24】 請求項17に記載の信号処理装置において、

上記出力フォーマット指示手段の指示に基づき、上記出力フォーマット指示手段で指示された出力フォーマットに対応する同期信号を、出力されるビデオ信号に付加する出力制御手段をさらに有することを特徴とする信号処理装置。

【請求項25】 複数の信号フォーマットのビデオ信号を再生可能で、且つ、再生されたビデオ信号のフォーマットを変換して出力するようにした信号処理方法において、
入力されたビデオ信号に埋め込まれたフォーマット情報を検出するフォーマット検出のステップと、
出力されるビデオ信号のフォーマットを指示する出力フォーマット指示のステップと、
上記入力されたビデオ信号のフォーマットを変換するフォーマット変換のステップとを有し、
上記フォーマット検出のステップにより検出されたフォーマット情報と、上記出力フォーマット指示のステップによる出力フォーマットの指示とに基づき、自動的に上記フォーマット変換のステップの動作を切り替えるようにしたことを特徴とする信号処理方法。

【請求項26】 複数の信号フォーマットのビデオ信号を入力可能で、且つ、入力されたビデオ信号を複数のフォーマットで同時に出力可能な信号処理装置において、
入力されたビデオ信号のフォーマットを変換するフォーマット変換手段と、
上記入力されたビデオ信号を、上記フォーマット変換手段でフォーマット変換されて出力されたビデオ信号と位相を合わせて出力するバイパス手段と、
上記フォーマット変換手段から出力されたビデオ信号と、上記バイパス手段から出力されたビデオ信号とを選択して出力する複数の出力手段とを有し、
上記複数の出力手段から同時にビデオ信号の出力を行うことを特徴とする信号処理装置。

【請求項27】 請求項26に記載の信号処理装置において、
上記フォーマット変換手段および上記バイパス手段は、上記ビデオ信号の輝度成分と色成分とにそれぞれ設けられ、上記複数の出力手段は、上記フォーマット変換手段および上記バイパス手段を、上記輝度成分と上記色成分とで独立して選択するようにしたことを特徴とする信号処理装置。

【請求項28】 請求項26に記載の信号処理装置において、
上記再生手段で再生された上記ビデオ信号に対してフィルタ処理を行うフィルタ手段をさらに有し、
上記フィルタ手段は、上記フォーマット変換手段でフォーマット変換されて出力されたビデオ信号と位相を合わせてビデオ信号を出力すると共に、上記複数の出力手段は、上記フォーマット変換手段から出力されたビデオ信号と、上記バイパス手段から出力されたビデオ信号と、上記フィルタ手段から出力されたビデオ信号とを選択して出力するようにしたことを特徴とする信号処理装置。

【請求項29】 請求項28に記載の信号処理装置において、
上記フィルタ手段、上記フォーマット変換手段および上

記バイパス手段は、上記ビデオ信号の輝度成分と色成分とにそれぞれ設けられ、上記複数の出力手段は、上記フィルタ手段、上記フォーマット変換手段および上記バイパス手段を、上記輝度成分と上記色成分とで独立して選択するようにしたことを特徴とする信号処理装置。

【請求項30】 請求項26に記載の信号処理装置において、

上記複数の出力手段のそれぞれは、上記再生されたビデオ信号のフォーマットが変更されたときに所定期間出力をミュートすることを特徴とする信号処理装置。

【請求項31】 請求項26に記載の信号処理装置において、

出力されるビデオ信号のフォーマットを指示する出力フォーマット指示手段をさらに有し、

上記複数の出力手段のそれぞれは、上記出力フォーマット指示手段の指示に基づき、上記出力フォーマット指示手段で指示された出力フォーマットに対応する同期信号を、出力されるビデオ信号に付加することを特徴とする信号処理装置。

【請求項32】 複数の信号フォーマットのビデオ信号を入力可能で、且つ、入力されたビデオ信号を複数のフォーマットで同時に出力するようにされた信号処理方法において、

入力されたビデオ信号のフォーマットを変換するフォーマット変換のステップと、

上記入力されたビデオ信号を、上記フォーマット変換のステップでフォーマット変換されて出力されたビデオ信号と位相を合わせて出力するバイパスのステップと、

上記フォーマット変換のステップにより出力されたビデオ信号と、上記バイパスのステップにより出力されたビデオ信号とを選択して出力する複数の出力のステップとを有し、

上記複数の出力のステップから同時にビデオ信号の出力を行うことを特徴とする信号処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、複数種類のフォーマットのデジタルビデオ信号を処理すると共に、デジタルビデオ信号のフォーマット変換を行うことができる再生装置および方法、ならびに、信号処理装置および方法に関する。

【0002】

【従来の技術】従来技術において、2種類以上の信号フォーマットのビデオ信号を再生可能で、尚かつ、ビデオ信号のフォーマットを変換することができるようにされたVTR(Video Tape Recorder)が既に提案されている。このようなVTRとして、特開平2-171090号に記載されるVTRなどがある。

【0003】この、特開平2-171090号には、再生されたビデオ信号の方式と、設定されたビデオ信号方式

とによって、自動的に方式変換器などの動作状態を変更するようにされたVTRが記載されている。また、この特開平2-171090には、記録されているテレビジョン標準方式の判別は、フィールド周波数の計測などによって行うことが記載されている。

【0004】一方、近年では、デジタル方式によるテレビジョン放送の実用化が進められており、その放送方式も多様化している。そのため、放送局用のVTRでも、1台で複数のフォーマットに対応できる、マルチフォーマット対応のものが開発されている。上述した特開平2-171090号に記載されているVTRのようなNTSCやPALへの対応だけでなく、1フレームを1フィールドで構成するプログレッシブ走査や、より解像度を高めたHD(High Definition)方式にも対応可能なVTRが開発されている。

【0005】

【発明が解決しようとする課題】このようなフォーマットで、例えば480I(480ライン、インタレース走査)と480P(480ライン、プログレッシブ走査)とを共に記録再生できるようにされたVTRを考える。480Iおよび480Pでは、フィールド周波数が共に60Hzであるので、上述した特開平2-171090号の例のように、ビデオ信号のフィールド周波数の計測によりフォーマットを判断することができないという問題点があった。

【0006】また、近年のデジタルテレビジョン放送で用いられるビデオ信号のフォーマットは、とても複雑なものとなっている。例えば、480Pの信号であっても、クロマフォーマットが4:2:2の規格だけでなく、4:2:0の帯域で信号を伝送するように定められている、SMPTE 294Mと称される規格も存在する。クロマフォーマットが4:2:2ビデオ信号を、この規格で出力するためには、クロマ信号だけ垂直方向に帯域制限を行う必要がある。すなわち、この場合には、方式変換を行うだけでなく、クロマ信号に対してフィルタ処理を行うかどうかという選択肢が必要になってくる。従来では、このような選択肢を有したVTRは、存在しなかったという問題点があった。

【0007】さらに、放送局用VTRにおいては、外部リファレンスに同期してビデオ信号を出力する必要がある。上述の480Iおよび480Pの信号を同時に出力するような場合にも、480Pの信号は、480Iの信号のフレーム周期(30Hz)に同期していることが望ましい。これは、従来のタイムコードに対応した編集や、SMPTE 294Mに規定される、デュアルリンク方式との整合性などの理由からである。なお、デュアルリンク方式は、プログレッシブ走査のビデオ信号を、リンクAおよびリンクBにそれぞれライン毎に交互に伝送する方式である。フィールド毎に、奇数ラインと偶数ラインが入れ替わる。また、通常、480Iの信号を4

80Pに変換するI/P変換と、480Pの信号を480Iに変換するP/I変換とでは、処理に要する時間が異なる。

【0008】このような状況でも、出力が1系統しかない場合には、外部リファレンスに対してVTRの出力ビデオ信号における再生開始位相を合わせる(先行させる)ことにより、出力信号の位相を外部リファレンスに合わせることができる。しかしながら、出力が方式変換する系と方式変換しない系の2系統ある場合に、2系統共、正しい位相に合わせるためには、方式変換する系と方式変換しない系との間で、何らかの位相あわせが必要となる。従来は、この点が考慮されたVTRが存在していなかったという問題点があった。

【0009】さらにまた、放送局用VTRの出力は、他の装置の同期の基準に用いられていることがある。そのため、例えばテープを入れ替えて以前と異なるフォーマットのビデオ信号の再生を開始するときにも、出力信号の同期が乱れることなく正しく出力されている必要がある。また、テープの入れ替えに伴って、再生信号のフォーマットが変わるときには、VTR内部において、例えばエラー訂正回路、ビデオ復号回路および方式変換回路などの、再生回路系の動作モードが変更されることになる。動作モードが変更された後に動作が安定するまでには、数秒乃至は数十秒の時間を要し、その間に、誤動作中の信号が出力されてしまうという問題点があった。

【0010】また、上述では、例えば480Iおよび480Pといった、異なるフォーマットのビデオ信号を2系統出力するVTRを前提として説明したが、ユーザの要望や商品形態によっては、一方のフォーマットの信号のみを2系統出力したいという場合も考えられる。

【0011】さらに、480Iのフォーマットにおいて、例えば再生時のテープ速度が記録時の1/2であるような1/2倍速再生といったような変速再生を行った場合、再生ビデオ信号のインタレース構造が崩れる。すなわち、第1フィールドを続けて2フィールド分出力し、次に、第2フィールドを続けて2フィールド分出力することで、1/2倍速再生が行われる。この場合、最初の第1フィールドの信号は本来の第1フィールドのライン位置で表示されるが、連続して再生される次の第1フィールドの信号は、第2フィールドのライン位置で表示される。第2フィールドの信号も、同様である。その結果、表示画面に、1/2ライン幅の縦揺れ(上下動)が発生してしまうという問題点があった。

【0012】さらにまた、以上に列挙した問題点を解決するための構成をVTRに内蔵させるには、従来では、回路が大規模になり、コストも上がってしまうという問題点があった。

【0013】したがって、この発明の目的は、異なるフォーマットビデオ信号に対応すると共に複数系統のビデオ出力を有し、且つ、安価で小型化が可能な再生装置お

よび方法、ならびに、信号処理装置および方法を提供することにある。

【0014】

【課題を解決するための手段】この発明は、上述した課題を解決するために、複数の信号フォーマットのビデオ信号を再生可能で、且つ、再生されたビデオ信号のフォーマットを変換して出力可能な再生装置において、フォーマット情報を埋め込まれて記録されたビデオ信号を記録媒体から再生する再生手段と、再生手段で再生されたビデオ信号からフォーマット情報を検出するフォーマット検出手段と、出力されるビデオ信号のフォーマットを指示する出力フォーマット指示手段と、再生手段で再生されたビデオ信号のフォーマットを変換するフォーマット変換手段とを有し、フォーマット検出手段により検出されたフォーマット情報と、出力フォーマット指示手段による出力フォーマットの指示とに基づき、自動的にフォーマット変換手段の動作を切り替えるようにしたことを特徴とする再生装置である。

【0015】また、この発明は、複数の信号フォーマットのビデオ信号を再生可能で、且つ、再生されたビデオ信号のフォーマットを変換して出力するようにした再生方法において、フォーマット情報を埋め込まれて記録されたビデオ信号を記録媒体から再生する再生のステップと、再生のステップで再生されたビデオ信号からフォーマット情報を検出するフォーマット検出のステップと、出力されるビデオ信号のフォーマットを指示する出力フォーマット指示のステップと、再生のステップで再生されたビデオ信号のフォーマットを変換するフォーマット変換のステップとを有し、フォーマット検出のステップにより検出されたフォーマット情報と、出力フォーマット指示のステップによる出力フォーマットの指示とに基づき、自動的にフォーマット変換のステップでの動作を切り替えるようにしたことを特徴とする再生方法である。

【0016】また、この発明は、複数の信号フォーマットのビデオ信号を再生可能で、且つ、再生されたビデオ信号を複数のフォーマットで同時に出力可能な再生装置において、記録媒体に記録されたビデオ信号を再生する再生手段と、再生手段で再生されたビデオ信号のフォーマットを変換するフォーマット変換手段と、再生手段で再生されたビデオ信号を、フォーマット変換手段でフォーマット変換されて出力されたビデオ信号と位相を合わせて出力するバイパス手段と、フォーマット変換手段から出力されたビデオ信号と、バイパス手段から出力されたビデオ信号とを選択して出力する複数の出力手段とを有し、複数の出力手段から同時にビデオ信号の出力を行うことを特徴とする再生装置である。

【0017】また、この発明は、複数の信号フォーマットのビデオ信号を再生可能で、且つ、再生されたビデオ信号を複数のフォーマットで同時に出力するようにされ

た再生方法において、記録媒体に記録されたビデオ信号を再生する再生のステップと、再生のステップで再生されたビデオ信号のフォーマットを変換するフォーマット変換のステップと、再生のステップで再生されたビデオ信号を、フォーマット変換のステップでフォーマット変換されて出力されたビデオ信号と位相を合わせて出力するバイパスのステップと、フォーマット変換のステップから出力されたビデオ信号と、バイパスのステップにより出力されたビデオ信号とを選択して出力する複数の出力のステップとを有し、複数の出力のステップから同時にビデオ信号の出力を行うことを特徴とする再生方法である。

【0018】また、この発明は、複数の信号フォーマットのビデオ信号を入力可能で、且つ、入力されたビデオ信号のフォーマットを変換して出力可能な信号処理装置において、入力されたビデオ信号に埋め込まれたフォーマット情報を検出するフォーマット検出手段と、出力されるビデオ信号のフォーマットを指示する出力フォーマット指示手段と、入力されたビデオ信号のフォーマットを変換するフォーマット変換手段とを有し、フォーマット検出手段により検出されたフォーマット情報と、出力フォーマット指示手段による出力フォーマットの指示とに基づき、自動的にフォーマット変換手段の動作を切り替えるようにしたことを特徴とする信号処理装置である。

【0019】また、この発明は、複数の信号フォーマットのビデオ信号を再生可能で、且つ、再生されたビデオ信号のフォーマットを変換して出力するようにした信号処理方法において、入力されたビデオ信号に埋め込まれたフォーマット情報を検出するフォーマット検出のステップと、出力されるビデオ信号のフォーマットを指示する出力フォーマット指示のステップと、入力されたビデオ信号のフォーマットを変換するフォーマット変換のステップとを有し、フォーマット検出のステップにより検出されたフォーマット情報と、出力フォーマット指示のステップによる出力フォーマットの指示とに基づき、自動的にフォーマット変換のステップの動作を切り替えるようにしたことを特徴とする信号処理方法である。

【0020】また、この発明は、複数の信号フォーマットのビデオ信号を入力可能で、且つ、入力されたビデオ信号を複数のフォーマットで同時に出力可能な信号処理装置において、入力されたビデオ信号のフォーマットを変換するフォーマット変換手段と、入力されたビデオ信号を、フォーマット変換手段でフォーマット変換されて出力されたビデオ信号と位相を合わせて出力するバイパス手段と、フォーマット変換手段から出力されたビデオ信号と、バイパス手段から出力されたビデオ信号とを選択して出力する複数の出力手段とを有し、複数の出力手段から同時にビデオ信号の出力を行うことを特徴とする信号処理装置である。

【0021】また、この発明は、複数の信号フォーマットのビデオ信号を入力可能で、且つ、入力されたビデオ信号を複数のフォーマットで同時に出力するようにされた信号処理方法において、入力されたビデオ信号のフォーマットを変換するフォーマット変換のステップと、入力されたビデオ信号を、フォーマット変換のステップでフォーマット変換されて出力されたビデオ信号と位相を合わせて出力するバイパスのステップと、フォーマット変換のステップにより出力されたビデオ信号と、バイパスのステップにより出力されたビデオ信号とを選択して出力する複数の出力のステップとを有し、複数の出力のステップから同時にビデオ信号の出力を行うことを特徴とする信号処理方法である。

【0022】上述したように、請求項1および9に記載の発明は、再生されたビデオ信号から検出された、記録時に埋め込まれたフォーマット情報と、出力フォーマット指示とに基づき、自動的にフォーマット変換の動作が切り替えられるため、複数のフォーマットのビデオ信号の再生および出力に対応することができる。

【0023】また、請求項10および16に記載の発明は、再生されたビデオ信号から検出された、記録時に埋め込まれたフォーマット情報に基づきフォーマット変換されたビデオ信号と、フォーマット変換をバイパスされた再生ビデオ信号とを、位相を合わせて同時にそれぞれ出力することができる。

【0024】また、請求項17および25に記載の発明は、入力されたビデオ信号から検出された、予め埋め込まれたフォーマット情報と、出力フォーマット情報とに基づき、自動的にフォーマット変換の動作が切り替えられるため、複数のフォーマットのビデオ信号の入出力に対応することができる。

【0025】また、請求項26および32に記載の発明は、入力されたビデオ信号から検出された、予め埋め込まれたフォーマット情報に基づきフォーマット変換されたビデオ信号と、フォーマット変換をバイパスされた再生ビデオ信号とを、位相を合わせて同時にそれぞれ出力することができる。

【0026】

【発明の実施の形態】以下、この発明の実施の一形態について説明する。まず、理解を容易とするために、この発明に適用できる記録フォーマットについて説明する。デジタルビデオ信号は、所定の方式で圧縮符号化される。この実施の一形態では、DCT(Discrete Cosine Transform)および動きベクトルによる動き補償を用いた圧縮符号化方式である、MPEG2(Moving Pictures Experts Group 2)を用いてデジタルビデオ信号の圧縮符号化を行う。圧縮符号化されたデジタルビデオ信号は、内符号パリティおよび外符号パリティを付加され、積符号を用いてエラー訂正符号化される。そして、エラー訂正符号化されたデータに対して、内符号パリティ単

位で、同期を検出するためのSYNCパターン、シンクブロックを識別するためのIDおよび記録されるデータの内容に関する情報を示すDIDが付加され、シンクブロックが構成される。データは、シンクブロック単位でパケットとして扱われる。

【0027】SYNCパターン、IDおよびDIDを付加されたデータは、回転ドラム上に設けられた磁気ヘッドにより、ヘリカルスキャン方式で以て磁気テープ上に記録される。磁気ヘッドは、回転ドラム上の互いに対向する位置に、それぞれ複数個が設けられる。すなわち、磁気テープが回転ヘッドに180°程度の巻き付け角で以て巻き付けられている場合、回転ヘッドの180°の回転により、同時に複数本のトラックを形成することができる。また、磁気ヘッドは、互いにアジマスの異なる2個で一組とされる。複数個の磁気ヘッドは、隣接するトラックのアジマスが互いに異なるように配置される。

【0028】図1は、上述した回転ヘッドにより磁気テープ上に形成されるトラックフォーマットの一例を示す。これは、1フレーム当たりのビデオおよびオーディオデータが8トラックで記録される例である。例えばフレーム周波数が29.97Hz、レートが50Mbps、有効ライン数が480本で有効水平画素数が720画素のインタレース信号(480I信号)およびオーディオ信号が記録される。また、フレーム周波数が25Hz、レートが50Mbps、有効ライン数が576本で有効水平画素数が720画素のインタレース信号(576I信号)およびオーディオ信号も、図1と同一のテープフォーマットによって記録できる。

【0029】互いに異なるアジマスの2トラックによって1セグメントが構成される。すなわち、8トラックは、4セグメントからなる。セグメントを構成する1組のトラックに対して、アジマスと対応するトラック番号〔0〕とトラック番号〔1〕が付される。図1に示される例では、前半の8トラックと、後半の8トラックとの間で、トラック番号が入れ替えられると共に、フレーム毎に互いに異なるトラックシーケンスが付される。これにより、アジマスが異なる1組の磁気ヘッドのうち一方が、例えば目詰まりなどにより読み取り不能状態に陥っても、前フレームのデータを利用してエラーの影響を取り除くことができ、データの修整を良好に行うことができる。

【0030】トラックのそれぞれにおいて、両端側にビデオデータが記録されるビデオセクタが配され、ビデオセクタに挟まれて、オーディオデータが記録されるオーディオセクタが配される。なお、この図1および後述する図2は、テープ上のセクタの配置を示すものである。

【0031】この例では、8チャンネルのオーディオデータを扱うことができるようにされている。A1～A8は、それぞれオーディオデータの1～8chを示す。オーディオデータは、セグメント単位で配列を変えられて

記録される。また、ビデオデータは、この例では、1トラックに対して4エラー訂正ブロック分のデータがインターリーブされ、Upper SideおよびLower Sideのセクタに分割され記録される。Lower Sideのビデオセクタには、所定位置にシステム領域が設けられる。

【0032】なお、図1において、SAT1(Tr)およびSAT2(Tm)は、サーボロック用の信号が記録されるエリアである。また、各記録エリアの間には、所定の大きさのギャップ(Vg1, Sg1, Ag, Sg2, Sg3およびVg2)が設けられる。

【0033】図1は、1フレーム当たりのデータを8トラックで記録する例であるが、記録再生するデータのフォーマットによっては、1フレーム当たりのデータを4トラック、6トラックなどでの記録することができる。図2Aは、1フレームが6トラックのフォーマットである。この例では、トラックシーケンスが〔0〕のみとされる。

【0034】図2Bに示すように、テープ上に記録されるデータは、上述したシンクブロックと称される等間隔に区切られた複数のブロックからなる。図2Cは、シンクブロックの構成を概略的に示す。シンクブロックの先頭から、SYNCパターン、ID、DIDおよび内符号パリティの順に配される。記録あるいは再生されるデータ単位の最小のものが1シンクブロックである。シンクブロックが多数並べられて(図2B)、例えばビデオセクタが形成される(図2A)。

【0035】IDは、ID0およびID1の2つの部分からなり、個々のシンクブロックを識別するための情報が格納される。図3Aは、ID0およびID1のビットアサインの一例を示す。ID0は、1トラック中のシンクブロックのそれぞれを識別するための識別情報(SYNC ID)が格納される。SYNC IDは、例えば通し番号である。SYNC IDは、8ビットで表現される。

【0036】ID1は、シンクブロックのトラックに関する情報が格納される。MSB側をビット7、LSB側をビット0とした場合、このシンクブロックに関して、ビット7でトラックの上側(Upper)か下側(Lower)かが示され、ビット5～ビット2で、トラックのセグメントが示される。また、ビット1は、トラックのアジマスに対応するトラック番号が示され、ビット0は、このシンクブロックがビデオデータおよびオーディオデータのうち何方のものであるかが示される。

【0037】DIDは、ペイロードに関する情報が格納される。上述したID1のビット0の値に基づき、ビデオおよびオーディオで、DIDの内容が異なる。図3Bは、ビデオの場合のDIDのビットアサインの一例を示す。ビット7～ビット4は、未定義(Reserved)とされている。ビット3および2は、ペイロードの

モードであり、例えばペイロードのタイプが示される。ビット3および2は、補助的なものである。ビット1でペイロードに1個あるいは2個のマクロブロックが格納されることが示される。ビット0でペイロードに格納されるビデオデータが外符号パリティであるかが示される。

【0038】図3Cは、オーディオの場合のDIDのビットアサインの一例を示す。ビット7～ビット4は、Reservedとされている。ビット3でペイロードに格納されているデータがオーディオデータであるか、一般的なデータであるかが示される。ペイロードに対して、圧縮符号化されたオーディオデータが格納されている場合には、ビット3がデータを示す値とされる。

【0039】ビット2～ビット0の[Amode2]、[Amode1]および[Amode0]は、NTSC方式における、5フィールドシーケンスの情報が格納される。すなわち、NTSC方式においては、ビデオ信号の1フィールドに対してオーディオ信号は、サンプリング周波数が48kHzの場合、800サンプルおよび801サンプルの何れかであり、このシーケンスが5フィールド毎に揃う。ビット2～ビット0によって、シーケンスの何処に位置するかが示される。

【0040】また、後述するが、このビット2～ビット0は、その3ビットによって〔7〕が表されるときに、続くデータがビデオの記録フォーマットを識別する情報である、AUX2であることが示される。

【0041】この発明においては、1台のビデオテープレコーダ(以下、VTRと称する)で、複数のフォーマットのビデオ信号を扱うようにされている。図4は、このビデオ信号の複数のフォーマットについて、例示する。例えば互いに異なる14のフォーマットモードに対応し、画枠サイズは、720画素×480ライン、720画素×576ラインの2種類に対応する。各フォーマットモードのそれぞれにおいて、磁気テープに記録する際の最短記録波長が互いに略等しくなるように、例えばビデオデータの圧縮符号化の際のレートが設定されている。

【0042】このフォーマットでは、インタレース走査と、プログレッシブ(ノンインタレース)走査の2種類の画面の走査方式に対応している。インタレース走査では、1フレームが2フィールドから構成される。一方、プログレッシブ走査では、1フレームで画面が完結する。なお、プログレッシブ走査においても、1フレーム期間は、2フィールド期間に対応するものとする。また、図4の各フォーマットモードにおいて、ライン数の横に、プログレッシブ走査では「p」、インタレース走査では「i」を付し、これらを表す。

【0043】図4は、列方向に、フレーム周波数で分類され、それぞれがEdit Freqによって識別される。例えば、フレーム周波数が23.976Hz、25

Hz、29.97Hz、50Hzおよび59.97Hzに対して、それぞれEditFreqとして〔0〕、〔2〕、〔3〕、〔5〕および〔6〕の各値が割り当てられる。

【0044】フレーム周波数が23.976Hz、50Hzおよび59.94Hzの列は、プログレッシブ走査が行われるグループで、各グループのそれぞれは、ビデオレートの異なる2つのモードが定義されている。なお、フレーム周波数が23.976Hzのモードは、シネマに対応したモードであって、例えば同一画像の2フィールドから1フレームが構成される。また、フレーム周波数が25Hzおよび29.97Hzのグループは、それぞれ、インターレス走査をするビデオレートが異なる2つのモードと、プログレッシブ走査をするビデオレートが異なる2つのモードとを有する。このグループのプログレッシブ走査のモードでは、上述のシネマモードと同様に、例えば同一画像の2フィールドから1フレームが構成される。スキャン方式と、ビデオレートに対して、それぞれ〔1〕あるいは〔0〕のいずれかの値からなるフラグが割り当てられる。この例では、ライン数は、全て〔1〕の値のフラグが割り当てられている。

【0045】すなわち、この図4に示される各ビデオフォーマットモードは、〔EditFreq〕の値と、〔line〕、〔scan〕および〔rate〕の各フラグで識別することができる。

【0046】一方、オーディオデータに関しては、サンプリング周波数および量子化ビット数はそれぞれ共通で、例えば48KHz、1サンプル当たり16ビットとされる。チャンネル数は、8チャンネルおよび4チャンネルに対応している。また、この一実施形態では、オーディオデータは、非圧縮で扱われ、オーディオデータを格納するシンクブロックの長さは、サンプル当たりのビット数とフレーム周波数とによって一定である。すなわち、オーディオデータを格納するシンクブロックの長さは、サンプル当たりのビット数とフレーム周波数とが同じであれば、ビデオの画枠および圧縮レートに関わらず、一定値となる。

【0047】図5～図7は、1エラー訂正ブロックにおけるオーディオデータの配置の例を、各フレーム周波数毎に示す。これら図5～図7は、外符号パリティの付加後の配置を示す。図5A、図6Aおよび図7Aに示されるように、1フィールド期間あるいは1Pフレーム期間に、8シンクブロックのオーディオデータに対して10シンクブロック分の外符号パリティが付されたエラー訂正ブロックが2個、形成される。

【0048】各チャンネルのオーディオデータは、1フィールド期間の偶数番のサンプルと奇数番のサンプルとでそれぞれ1エラー訂正ブロックを構成する。すなわち、1フィールド期間に2エラー訂正ブロックが形成される。図5B、図6Bおよび図7Bにおいて、1エラー

訂正ブロック中の各枠は、1サンプルのデータを表す。番号は、サンプル順に付されたサンプル番号である。なお、外符号パリティは、PV0～9で示す。この例では、1サンプルが16ビット（2バイト）であるので、各枠は、それぞれ16ビット分のデータである。

【0049】図5は、フレーム周波数が59.94Hz（プログレッシブ走査）あるいは29.97Hz（インターレス走査）の例であり、1フィールド期間のオーディオデータが800または801サンプルである。図6は、フレーム周波数が50Hz（プログレッシブ走査）あるいは25Hz（インターレス走査）の例であり、1フィールド期間のオーディオデータが960サンプルからなる。また、図7は、フレーム周波数が23.976Hzの例であり、1フィールド期間のオーディオデータが1001サンプルからなる。図5～図7に共通して、各行のそれぞれが1シンクブロックを構成するパケットであり、1エラー訂正ブロックは、8シンクブロック分のデータと、10シンクブロック分の外符号パリティとからなる。

【0050】各エラー訂正ブロックの最初の3シンクブロックのそれぞれにおいて、先頭の1サンプル分にAUXデータが格納される。図8は、各AUXデータの内容の一例を示す。図8Aは、AUXデータのビットアサインの例を示し、図8Bは、データそれぞれの意味を示す。

【0051】AUX0は、オーディオの編集点を表す2ビットのデータEF、量子化ビット数が16ビットであるか24ビットであるかを表す1ビットのビット長データB、非圧縮オーディオデータであるかどうかを表す1ビットのデータD、オーディオモードを識別する2ビットのデータAmd、サンプリング周波数が48KHz、44.1KHz、32KHzおよび96Hzの何れであるかを表す2ビットのデータFSからなる。続く8ビットおよび1サンプルが24ビットである場合には、さらに8ビットがReserved（予約）とされている。

【0052】AUX1は、その全体がReserved（予約）とされている。

【0053】データAUX2は、最初の8ビットがフォーマットモードとされている。続く8ビットおよび1サンプルが24ビットである場合には、さらに8ビットがReserved（予約）とされている。フォーマットモードは、2ビットの〔Line mode〕、2ビットの〔Rate〕、1ビットの〔Scan〕、3ビットの〔Freq〕からなる。これら〔Line mode〕、〔Rate〕、〔Scan〕および〔Freq〕は、それぞれ上述の図4に示した〔Edit Freq〕、〔line〕、〔scan〕および〔rate〕に対応する。すなわち、このデータAUX2を見ることで、ビデオフォーマットを知ることができる。

【0054】図9は、ビデオデータおよびオーディオデ

ータを記録するトラックフォーマットの一例を示す。この図9は、上述した図2と同一のトラックフォーマットが示されており、6トラックが1Pフレームに対応する。図9Aに示されるように、この例では、各トラックに対してオーディオセクタが8個ずつ配置され、各オーディオセクタは、6シンクブロックからなる。1フレーム分のデータが6トラックに記録され、オーディオデータは、6シンクブロック×6トラックで、全36シンクブロックとされ、上述の図5～図7に対応される。

【0055】各オーディオセクタは、図9Bに一例が示されるように、ヘッドトレース方向から、連続したブロックID（FF、FE、FD、FC、FB、FA：全て16進表記）が割り当てられる。各シンクブロックは、図9Cに一例が示されるように、ヘッドトレース方向から、2バイトのSYNCパターン、2バイトのブロックID、1バイトのDIDが配され、続けてオーディオデータが格納されるデータパケットが配される。オーディオデータの packets に続けて、12バイトの内符号パリティが配される。データパケットは、先頭からD0、D1、D2、・・・と順に、1バイト単位でデータが詰め込まれている。すなわち、上述したAUX0、AUX1およびデータAUX2の最初の8ビットは、データパケットの先頭のD0に格納されることになる。

【0056】この例では、上述したDIDに対して所定の情報を格納し、DIDからこの所定の情報が得られたときに、続くデータパケットのD0にデータAUX2の先頭8バイトが格納されていることが示される。より具体的には、上述したDIDのビットアサインにおいて、オーディオデータのDIDの下位3ビット（Amode0、Amode1およびAmode2）によって〔7〕が表されているときに、続くデータパケットのD0がデータAUX2であるとされる。

【0057】次に、この発明の実施の一形態について、図面を参照しながら説明する。図10は、この発明の実施の一形態によるデジタルVTRの再生系の一例の構成を示す。上述したフォーマットで以て磁気テープに記録されたデジタルビデオ信号は、この構成によって再生することができる。なお、以下の説明では、このデジタルVTRが、480ライン/インタレース走査（480Iと略称する）および480ライン/プログレッシブ走査（480Pと略称する）の、2つのデジタルビデオ信号のフォーマットに対応しているものとする。

【0058】デジタルVTRにおいて、図示されない回転ドラムに設けられた磁気ヘッドによって、磁気テープから再生された再生信号が再生回路10に供給される。再生回路10は、再生アンプ、再生イコライザ、PLL（Phase Locked Loop）、復調回路などを含み、供給された再生信号をデジタルデータに変換する。

【0059】再生回路10から出力されたデジタルデータは、SYNC・ID検出回路11に供給され、SY

NCパターン、IDおよびDIDが抽出される。抽出されたDIDに基づき、当該シンクブロックがオーディオデータのAUXを含むブロックであると判断されたら、AUX2が読み出され、ビデオ信号の記録フォーマットが判別される。この例では、記録フォーマットが480Iであるか、480Pであるかが判別される。この判別結果に基づき、再生フォーマットを指示する再生フォーマット指示信号が出力される。再生フォーマット指示信号は、出力制御回路18に供給されると共に、エラー訂正回路12およびビデオ復号回路13に供給される。

【0060】SYNC・ID検出回路から出力されたデータは、エラー訂正回路12に供給される。エラー訂正回路12では、再生フォーマット指示信号の指示に従い、SYNC・ID検出回路11から供給された再生データに対してエラー訂正符号の復号化処理を行い、エラー訂正する。このとき、エラー訂正符号のエラー訂正能力を超えてエラーが存在するときは、エラー訂正を行わず、エラーが存在することを示すエラーフラグを出力する。エラーフラグは、例えば図示されないエラー修整回路で用いられる。

【0061】エラー訂正回路12でエラー訂正されたデータは、ビデオ復号回路13に供給される。ビデオ復号回路13では、再生フォーマット指示信号の指示に従い、供給された再生データに対してMPEG2のデコードを行い、圧縮符号化された信号を伸張し、ベースバンドのデジタルビデオ信号を出力する。ビデオ復号回路13から出力されたデジタルビデオ信号の輝度成分Yが垂直フィルタブロック14に供給され、色成分Cが垂直フィルタブロック15に供給される。

【0062】垂直フィルタブロック14は、方式変換回路20と、垂直フィルタ回路21と、遅延調整回路22とからなる。方式変換回路20は、供給されたビデオ信号に対して、プログレッシブ走査からインタレース走査への変換（P/I変換）およびインタレース走査からプログレッシブ走査への変換（I/P変換）を行う。

【0063】また、垂直フィルタ回路21は、例えば外部から供給されたリファレンス信号と、ビデオ復号回路13から出力されたビデオ信号とのフィールド極性、すなわちODDフィールドとEVENフィールドの対応関係が異なることで生じる表示画面の縦揺れを解消する。

【0064】一方、遅延調整回路22は、無変換出力を得る回路であって、方式変換回路20および垂直フィルタ回路21から出力されるデジタルビデオ信号の位相と合わせるために、供給されたデジタルビデオ信号に対して所定量の遅延を与える。方式変換回路20、垂直フィルタ回路21および遅延調整回路22から出力された信号は、出力回路16および17の入力切替回路30および34にそれぞれ供給される。

【0065】垂直フィルタブロック15は、上述の垂直フィルタブロック14と同様に、方式変換回路23、垂

直フィルタ回路 24 および遅延調整回路 25 とからなり、垂直フィルタブロック 14 とは独立して制御可能なものである。垂直フィルタブロック 15 に供給されたデジタルビデオ信号の色信号成分 C は、上述と同様にこれら回路で所定の処理をされ、出力回路 16 および 17 の入力切替回路 31 および 35 にそれぞれ供給される。

【0066】入力切替回路 30 および 34 は、出力制御回路 18 から出力される選択指示信号に基づき、遅延調整回路 22、方式変換回路 20 および垂直フィルタ回路 21 から出力されたデジタルビデオ信号を選択的に切り替えて出力する。入力切替回路 31 および 35 も同様にして、出力制御回路 18 から出力される選択指示信号に基づき、遅延調整回路 25、方式変換回路 23 および垂直フィルタ回路 24 から出力されたデジタルビデオ信号を切り替えて出力する。

【0067】例えば、再生フォーマット指示信号によって 480P フォーマットの信号の再生が指示され、出力フォーマット指示信号によって 480I フォーマットの信号の出力が指示されている場合には、480P フォーマットで再生された信号を、480I フォーマットに方式変換して出力する必要があることを示している。したがって、入力切替回路 30 によって方式変換回路 20 の出力が選択され、入力切替回路 31 によって方式変換回路 23 の出力が選択される。

【0068】出力回路 16 において、入力切替回路 30 および 31 からそれぞれ出力された輝度信号 Y と色信号 C とがミュート回路 32 に供給される。ミュート回路 32 は、図示されない制御回路からの指示に基づき、再生されたビデオ信号のフォーマットが変更された後の所定期間、供給された輝度信号 Y および色信号 C を、所定の信号、例えばグレーを表示するような信号に置き換えて出力する。ミュート回路 32 による信号の置き換えは、再生系の回路、例えばビデオ復号回路 13 の動作が安定するまでの数秒間、続けられる。

【0069】ミュート回路 32 から出力されたデジタルビデオ信号は、同期信号発生・付加回路 33 に供給される。同期信号発生・付加回路 33 は、例えばカウンタを有し、外部から供給された同期信号（リファレンス信号）に基づきシンクパターンを発生させる。同期信号発生・付加回路 33 に供給されたデジタルビデオ信号は、発生されたシンクパターンが所定に付加されて出力される。

【0070】同期信号発生・付加回路 33 は、例えばこの VTR のパネル面に設けられたスイッチなどにより設定された出力フォーマットの指示に従い、一定のフォーマットに対応して動作し続けるようにされている。

【0071】出力回路 17 においても、入力切替回路 34 および 35、ならびに、ミュート回路 36 および同期信号発生・付加回路 37 により上述の出力回路 16 と同

様な処理がなされ、デジタルビデオ信号が出力される。出力回路 16 および 17 に対する外部同期信号の入力や出力フォーマットの指示は、それぞれ独立して行うことができる。したがって、出力回路 16 および 17 は、互いに異なるフォーマットのデジタルビデオ信号をそれぞれ独立して出力することができる。

【0072】出力制御回路 18 は、SYNC・ID 検出回路 11 から供給された再生フォーマット指示信号と、例えばこの VTR のパネル面からの操作に基づく出力フォーマット指示信号とに基づき、入力切替回路 30 および 31、ならびに、入力切替回路 34 および 35 に対する選択指示信号を出力する。例えば、再生フォーマット指示信号が 480P の再生を示し、且つ、出力フォーマット指示信号が 480I の出力を示している場合には、入力切替回路 30 および入力切替回路 31 では、それぞれ方式変換回路 20 および方式変換回路 23 の出力が選択される。なお、出力フォーマット指示信号は、出力回路 16 および 17 に対応して、独立した 2 系統が入力可能である。

【0073】上述したように、この発明においては、方式変換回路、垂直フィルタ回路および遅延調整回路を輝度信号 Y および色信号 C に対してそれぞれ独立して設け、これらの出力位相を合わせた上で、出力回路の先頭に配される入力切替回路で輝度信号 Y および色信号 C それぞれ独立して切り替えるようにしている。そして、磁気テープから再生された、480I および 480P の信号フォーマットの再生デジタルビデオ信号を、2 系統の出力に対して、480I および 480P 間でのフォーマット変換を自在に行い、それぞれ出力できるようにしている。

【0074】ここで、垂直フィルタブロック 14 に入力されるデジタルビデオ信号について、概略的に説明する。図 11 は、信号フォーマットが 480I および 480P のデジタルビデオ信号のラインの位置関係について示す。なお、フィールド周波数は、480P および 480I フォーマットで、共に 60Hz とする。なお、垂直フィルタブロック 15 は、垂直フィルタブロック 14 と同等であるので、詳細な説明を省略する。

【0075】信号フォーマットが 480P の場合は、図 11A に示されるように、1 フィールドが 525 ラインから構成される。全 525 ラインのうち、画面に表示される有効ライン数が 480 本とされる。一方、信号フォーマットが 480I の場合は、図 11B に一例が示されるように、全 525 ラインが第 1 フィールドおよび第 2 フィールドに分けられ、これら第 1 および第 2 フィールドで 1 フレームが構成される。第 1 フィールドは、第 1 ラインから第 263 ラインからなり、第 264 ラインからの第 2 フィールドは、第 1 フィールドの開始ライン（第 1 ライン）から 1/2 ライン分遅れて開始される。すなわち、480I フォーマットでは、画面上では、第

2フィールドは、第1フィールドよりも1/2ライン分下の位置に表示されることになる。

【0076】ここで、このようなビデオ信号が記録された磁気テープを、記録時とは異なる速度で再生する、変速再生を行う場合について考える。なお、ここでは、変速再生は、1倍速未満の速度、例えば記録時の半分の速度で再生を行う、1/2倍速再生であるものとする。また、以下では、インタレース走査の場合の第1フィールドを「ODDフィールド」、第2フィールドを「EVENフィールド」として説明する。

【0077】図12は、1/2倍速再生の際の、インタレース走査におけるODDおよびEVENフィールドの出力順を概略的に示す。1/2倍速再生の際には、通常再生の際の、本来の2フレームの期間に1フレームが出力され、図12Bに一例が示されるように、本来の1フレーム期間に、ODDおよびEVENフィールドがそれぞれ2回ずつ連続的に出力される。これは、図12Aに示されるような、本来のODDおよびEVENフィールドの出力順と異なっており、本来のODDおよびEVENフィールドの順番に対して逆転するフィールドが存在する。

【0078】一方、このVTRから出力されるビデオ信号を、外部から供給される同期信号に同期させ例えばモニタなどに表示させる場合には、このODDおよびEVENが逆転しているフィールドでは、本来のODDフィールドのライン位置にEVENフィールドの信号が表示されたり、逆に、本来のEVENフィールドのライン位置にODDフィールドの信号が表示されることになり、不都合が生じる。

【0079】これを避けるために、通常、出力されるビデオ信号に対して垂直フィルタ処理を行い、画面の重心を移動させる。この実施の一形態では、垂直フィルタブロック14および15においてこの処理がなされる。

【0080】次に、垂直フィルタブロック14および15について、より詳細に説明する。なお、垂直フィルタブロック14および15は、略同一の構成で実現可能なので、以下では、垂直フィルタブロック14について説明する。図13は、垂直フィルタブロック14の一例の構成をより詳細に示す。ビデオ復号回路13から出力された再生ビデオ信号は、4連の遅延回路50A～50Dに供給されると共に、係数乗算器51Aに供給される。遅延回路50A～50Dの出力は、それぞれ係数乗算器51B～51Eに供給される。

【0081】4連の遅延回路50A～50D、係数乗算器51A～51Dおよび加算器52で、垂直フィルタが構成される。4連の遅延回路50A～50Dは、例えばラインメモリからなり、それぞれ入力された信号に1ライン分の遅延を与える。1ライン分の遅延は、信号フォーマットが480Iのときには64μsに相当し、480Pのときには32μsに相当する。

【0082】図14は、係数乗算器51A～51Eをさらに詳細に示す。係数乗算器51A～51Eのそれぞれは、2つの係数レジスタにセットされた係数を係数選択回路で選択し、選択された係数と入力されたビデオ信号とを乗算回路によって乗算する。これら係数乗算器51A～51Eは、同一の構成なので、係数乗算器51Aについて説明する。2つの係数レジスタに係数a1およびb1がセットされる。係数a1、b1は、係数選択回路53Aによって、上述した再生フォーマット指示信号および出力フォーマット指示信号に基づき一方が選択される。乗算回路54Aに入力されたデジタルビデオ信号は、係数選択回路53Aで選択された係数が乗ぜられて出力される。

【0083】係数乗算回路51B～51Eにおいても、同様にして係数a2～a5、b2～b5の選択がなされ、入力されたデジタルビデオ信号に対して係数が乗ぜられる。係数乗算回路51A～51Eのそれぞれから出力された信号は、加算器52で加算され、1ライン分の信号に合成されて出力される。

【0084】図15は、係数a1～a5、b1～b5の例を示す。この図15に示される各係数は、ビデオ信号のフォーマット変換の際に用いられる、周知の値である。図15において、列(a)の係数a1～a5、b1～b5は、I/P変換の際に一般的に用いられる係数であって、係数a1～a5を用いたときには、重心が0.5Hだけずれ、係数b1～b5を用いたときには、重心がずれない。また、この列(a)の係数を用いたときには、信号の周波数特性が半分に落ちる。

【0085】列(b)の係数a1～a5は、1/2倍速再生の際に一般的に用いられる係数であって、係数a1～a5を用いたときには重心が5/8Hだけずれ、係数b1～b5を用いたときには重心が1/8Hだけずれる。後述するように、この実施の一形態では、この列(b)の係数a1～a5、b1～b5を、従来の用法の、1/2倍速再生におけるODD/EVENフィールド反転の際の重心ずれを補正するために用いると共に、I/P変換の際にも用いる。

【0086】また、列(c)の係数a1～a5、b1～b5は、P/I変換を行う際に用いられる係数である。係数a1～a5と係数b1～b5とは、それぞれ同一の値が用いられているため、列(c)による変換では、重心の変化は生じない。この列(c)による変換では、上述の列(a)による変換と同様に、信号の周波数特性が半分に落とされる。

【0087】図15で分かるように、列(b)の係数において、垂直フィルタによる重心のずれは、5/8Hとなる。また、重心をずらさない処理の場合でも、実際には1/8Hだけ重心をずらす。また、列(a)および列(c)において、共に周波数特性が落ちるような係数を用いている。これにより、垂直フィルタによってビデオ

信号の補間を行った場合と、そうでない場合とで、出力されるビデオ信号の画質を一定とすることができる。そのために、このような、周波数特性の近い一組の係数を用いて垂直フィルタ処理を行う。これにより、出力ビデオ信号のフリッカを防止することができる。

【0088】図15に示した係数 $a_1 \sim a_5$ と係数 $b_1 \sim b_5$ とは、係数選択回路53A～53Eによって、所定のタイミングで切り替えられ、選択的に乗算回路54A～54Eにそれぞれ供給される。図16は、この係数選択回路53A～53Eの一例の動作を示すタイムチャートである。係数選択回路53A～53Eは、全て同一の動作を行うので、ここでは、係数乗算器51Aおよび係数選択回路53Aを例にとって説明する。

【0089】図16Aは、係数乗算器51Aに入力されるビデオ信号であり、D0、D1、D2、・・・は、それぞれ画素データを示す。画素データは、480Iフォーマットのフィールド周波数に基づき、 $1/13.5\text{MHz}$ の周期で入力される。図16Bに示されるように、係数切替指示信号COESSELは、画素データの入力周期の $1/2$ の周期で係数選択回路53Aの選択を切り替えるように指示する。係数 a_1 および b_1 は、この係数切替指示信号COESSELにより、画素データの入力周期の $1/2$ の周期で、係数 a_1 、係数 b_1 の順で切り替えて乗算回路54Aに供給される。したがって、係数乗算器51Aから、図16Cに示されるように、重心が0.5H上げられた信号と重心が変化されない信号とが、1画素データの期間中に複合されて出力されることになる。すなわち、乗算回路54Aの出力は、データレートが入力信号に対して2倍とされている。

【0090】このようにして、係数 a_1 および b_1 を画素データの入力周期の $1/2$ の周期で切り替えることで、2ライン分の信号が生成される。なお、図16Cにおいて、F0'、F1'、F2'、・・・は、係数 a_1 を乗ぜられたことによる、0.5H重心が上げられたライン上の画素データを示し、F0、F1、F2、・・・は、係数 b_1 が乗ぜられ、重心が上げられていない、すなわち、元のライン位置にあるライン上の画素データを示す。

【0091】係数乗算器51Aの出力は、同様にして係数 $a_2 \sim a_5$ および $b_2 \sim b_5$ をそれぞれ乗じられた他の係数乗算器51B～51Eの出力と、加算器52で加算されて垂直フィルタ出力とされる。この垂直フィルタ出力は、それぞれ $32\mu\text{s}$ の遅延を与える遅延回路56A～56Dに供給される。遅延回路56A～56Dは、遅延量の調整を行うためのものであり、例えばそれぞれFIFO(First In-First Out)メモリからなる。

【0092】遅延回路56A～56D以降の構成は、垂直フィルタ回路21としての構成と、方式変換回路20としての構成とからなる。垂直フィルタ回路21としてのビデオ出力は、セクタ63から取り出され、方式変

換回路20の出力としてのビデオ出力は、セクタ60から取り出される。まず、垂直フィルタ回路21としての構成および処理について説明する。

【0093】遅延回路56Aの出力が取り出され、セクタ63に供給されると共に、遅延回路56Bおよび遅延回路56Dの出力がそれぞれ重心選択回路61Aおよび61Bを介してセクタ63に供給される。

【0094】重心選択回路61Aおよび61Bについて説明する。図17は、重心選択回路61Aおよび61Bの一例の動作を示すタイムチャートである。図17Aは、垂直フィルタの出力を示し、上述した図16Cに対応する図である。上述したように、垂直フィルタの出力すなわち加算器52から出力される信号は、重心が0.5H上げられたデータと重心が変化していないデータとが、本来の1画素のデータの期間に複合された信号である。この信号は、重心選択回路61Aおよび61Bにおいて、重心が変化された信号と重心が変化されない信号とに選択されて出力される。

【0095】より具体的には、ビデオ復号回路13から出力された再生ビデオ信号と、最終出力時のリファレンス、例えば外部同期信号とで、フィールド極性が反転している場合には、係数 $a_1 \sim a_5$ に基づく信号(図17C)を選択し、反転していない場合には、係数 $b_1 \sim b_5$ に基づく信号(図17B)を選択してタイミングを揃えてセクタ63に供給する。

【0096】例えば重心選択回路61Aは、画素データの入力周期の $1/2$ の周期で動作する2個のラッチ回路で構成され、再生ビデオ信号とリファレンスとでフィールド極性が反転していないフィールドでは、図17Aの垂直フィルタ出力のうちデータF0、F1、F2、・・・を選択的に1回ラッチし、1画素分のデータタイミングに同期させて出力する(図17B)。一方、再生ビデオ信号とリファレンスとでフィールド極性が反転しているフィールドでは、垂直フィルタ出力のうちデータF0'、F1'、F2'、・・・を選択的に2回ラッチし、1画素分のデータタイミングに同期させて出力する(図17C)。重心選択回路61Bの動作および構成も、重心選択回路61Aと同様である。

【0097】セクタ63は、480Iフォーマットのビデオ信号の変速再生時において、ビデオ復号回路13から出力された再生ビデオ信号のフィールド極性と、例えば外部から供給される外部同期信号などのリファレンス信号のフィールド極性との関係に基づき、遅延回路56Bおよび56Dから供給された信号を選択的に出力する。この実施の一形態においては、再生ビデオ信号のフィールド極性がODDで、リファレンス信号のフィールド極性がEVENであれば、遅延回路56Bの出力を選択し、それ以外の場合には、遅延回路56Dの出力を選択する。

【0098】また、セクタ63は、480Pフォーマ

ットのビデオ信号を出力する際には、遅延回路56Aの出力を選択する。

【0099】図18および図19を用いて、1/2倍速再生時における、ビデオ復号回路13から出力された再生ビデオ信号と、セクタ63から出力される出力ビデオ信号との、重心の関係を示し、上述した構成による処理について説明する。

【0100】図18は、入力される再生ビデオ信号に対して、リファレンスのODDおよびEVENフィールドが反転しない例である。図18Cにインタレース走査で再生されたビデオ信号、すなわち480Iフォーマットのビデオ信号を示し、図18Aおよび図18Bが図18Cの信号に基づくODDフィールド出力、図18Dおよび図18Eが図18Cの信号に基づくEVENフィールド出力を示す。図18Cの信号を480Iフォーマットで出力する場合には、図18Aおよび図18Eにそれぞれ示されるように、ODDおよびEVENフィールドの何れにおいても、何の処理も施さずに、そのまま出力することができる。

【0101】すなわち、ビデオ復号回路13から出力され、垂直フィルタブロック14に入力されたビデオ信号は、4連の遅延回路50A～50Dに供給され、3段目の遅延回路50Cから取り出されて、無変換出力として出力される。この出力は、後段の入力切替回路30および34に供給される。

【0102】一方、図18Cの信号をプログレッシブ走査、すなわち480Pフォーマットで出力する場合には、図18Bおよび図18Dにそれぞれ示されるように、補間により480Pのラインを生成して出力する。ラインの補間は、上述した遅延回路50A～50D、係数乗算器51A～51Eおよび加算器52からなる垂直フィルタによってなされる。係数乗算器51A～51Eの係数レジスタに、上述した図15の列(a)に示される係数 $a_1 \sim a_5$ 、 $b_1 \sim b_5$ を格納し、係数選択回路53A～53Eを所定に切り替えることで、補間を行う。補間された信号は、遅延回路56Aに供給されて位相を合わせられ、セクタ63を介して出力される。

【0103】図19は、ODDおよびEVENフィールドが反転するフィールドで、且つ、インタレース走査、すなわち480Iフォーマットで出力する例である。図19Dが480Iで再生されたビデオ信号を示し、この信号が図19C、図19Bの処理を経て図19AのようにしてODDフィールドで出力される。同様に、図19Dの信号が図19Eの処理を経て図19FのようにしてEVENフィールドで出力される。

【0104】ODDおよびEVENが反転されているため、図19Dの信号のうちODDフィールドの信号は、EVENフィールドの同期に合わせてビデオ復号回路13から出力される。そのため、図19Cに示されるように、重心が0.5ライン分(0.5H)下がることにな

る。この信号は、垂直フィルタブロック14に供給され、上述した図15の列(b)に示される係数 $a_1 \sim a_5$ が用いられて垂直フィルタ処理され、重心が0.5H下げられる(図19B)。さらにこの信号は、セクタ63により選択が遅延回路56Dから56Bへと切り替えられることで、図19Aに示されるように重心が1H、上げられる。これにより、ODDフィールドの信号が元の、すなわち、図19Dに示される再生信号のライン位置に戻される。

【0105】一方、EVENフィールドに関しても同様に、ODDフィールドの同期に合わせてビデオ復号回路13から出力される。EVENフィールドがODDフィールドに合わせられるため、この場合には、図19Eに示されるように重心が0.5H上がることになる。重心が0.5H上がったこの信号は、上述した図15の列(b)に示される係数 $a_1 \sim a_5$ が用いられた垂直フィルタ処理により重心が0.5H下げられ、図19Fに示されるように、EVENフィールドが元のライン位置に下げられる。

【0106】このように垂直フィルタ処理された信号は、遅延回路56A～56Dに供給され、位相を合わせられると共に、重心選択回路61Aおよび61Bで所定に重心が選択され、セクタ63に供給される。そして、図19Dから図19Aへの処理では、遅延回路56Bの出力が選択され、図19Dから図19Fへの処理では、遅延回路56Dの出力が選択される。

【0107】次に、方式変換回路20としての構成および処理について説明する。方式変換回路20は、上述したように、P/I変換およびI/P変換を行う。遅延回路56A、56Bおよび56Cの出力がそれぞれ取り出され、セクタ57に供給される。したがって、セクタ57には、 $32\mu s$ すなわち480Pフォーマットの1Hずつがシフトされた信号が3系統、入力される。セクタ57では、これら3系統の信号を選択的に出力し、時間軸変換回路58および59に供給する。セクタ57では、出力フォーマット指示信号によって出力する信号を選択すると共に、ビデオ復号回路13から出力される再生ビデオ信号と、リファレンス信号とのフィールド極性に基づき出力する信号を選択する。

【0108】時間軸変換回路58および59は、例えばFIFOメモリからなり、入力されたデジタルビデオ信号を、入力時とは異なる時間軸で読み出すことで時間軸を変換し、P/I変換あるいはI/P変換を行う。時間軸変換回路58および59の出力は、セクタ60に供給され、再生フォーマット指示信号および出力フォーマット指示信号に基づき所定に選択され出力される。

【0109】先ず、通常再生の場合について説明する。セクタ57において、遅延回路56Bの出力が選択される。図20は、この通常再生の際の一例のタイムチャートを示す。なお、図20および後述する図22、図2

3および図24において、斜線部は、水平ブランキング期間を示す。

【0110】図20Aは、リファレンス信号を示す。リファレンス信号は、この例では、インタレース走査の信号に対応し、 $1H=64\mu s$ とされている。このリファレンス信号に同期して、図20Bに示される480Iフォーマットのビデオ信号が垂直フィルタブロック14に入力される。この信号から、垂直フィルタにより480Pフォーマットのラインが生成される(図20C)。上述したように、垂直フィルタでは、係数選択回路53A~53Eにより、1画素データの期間に2画素分のデータが複合されており、480Pフォーマットの2H分の信号が480Iフォーマットの1Hの期間に多重されている。この信号が遅延回路56Aおよび56Bでそれぞれ $32\mu s$ ずつ遅延され(図20D、図20E)、セレクタ57を介して時間軸変換回路58および59に供給される。

【0111】時間軸変換回路58では、遅延回路56Bから出力された信号から、480Iフォーマットの1H期間に多重された480Pフォーマットの2Hのうち、前半のラインの信号を選択的にFIFOメモリに書き込む(図20F)。この信号は、図20Gのように、FIFOメモリに当該信号が書き込まれる1Hの後半の期間に読み出される。一方、時間軸変換回路59では、遅延回路56Bから出力された信号から、480Iフォーマットの1H期間に多重された480Pフォーマットの2Hのうち、後半のラインの信号を選択的にFIFOメモリに書き込む(図20H)。この信号は、図20Iのように、FIFOメモリに当該信号が書き込まれる1Hの次の1Hの前半の期間に読み出される。

【0112】時間軸変換回路58および59で時間軸変換された信号は、セレクタ60で1本の信号とされ、図20Jの変換出力として出力される。このように時間軸変換回路58および59が制御されることで、垂直フィルタで作られた0.5H上に重心がずらされた信号と、重心変化のない信号とが1Hおきに出力され、正しく補間された480Pフォーマットの信号が得られる。

【0113】なお、変換出力は、図20Jに示されるように、入力された信号に対して3H分遅延している。これに対して、上述したセレクタ63からの出力は、図20Kに示されるように、加算器52の出力に対して遅延回路56A~56Dを介され、合計で入力信号に対して3H分遅延される。さらに、無変換出力は、遅延回路50A~50Dの3段目から取り出されるため、入力信号に対して3H遅延されている。すなわち、方式変換回路20、垂直フィルタ回路21および遅延調整回路22の出力は、互いに位相が合っている。

【0114】変速再生、例えば1/2倍速再生を行った場合について説明する。この場合には、既に述べたように、ビデオ復号回路13から出力される再生ビデオ信号

とリファレンス信号とのフィールド極性が反転する。

【0115】図21は、変速再生時に、ODDおよびEVENフィールドが反転するフィールドで、且つ、プログレッシブ走査、すなわち480Pフォーマットで出力する場合の、重心の変化を示す。図21Dが480Iで再生されたビデオ信号を示し、この信号が図21C、図21Bの処理を経て図21AのようにしてODDフィールドで出力される。同様に、図21Dの信号が図21Eおよび図21Fの処理を経て図21GのようにしてEVENフィールドで出力される。

【0116】ODDおよびEVENが反転されているため、図21Dの信号のうちODDフィールドの信号は、EVENフィールドの同期に合わせてビデオ復号回路13から出力される。そのため、図21Cに示されるように、重心が0.5H下がることになる。そして、垂直フィルタブロック14において、上述した図15の列

(a)に示される係数 $a_1\sim a_5$ 、 $b_1\sim b_5$ が用いられた垂直フィルタ処理によりラインが補間されることで、図21Bに示されるように、プログレッシブ走査に対応するラインが生成される。480Pのフォーマットとされたこのビデオ信号は、垂直フィルタの後段の遅延回路56A~56Dに供給され、メモリの読み出しを制御されることで、図21Aに示されるように重心が1H上げられ、出力される。

【0117】一方、EVENフィールドの信号は、ODDフィールドの同期に合わせてビデオ復号回路13から出力される。そのため、図21Eに示されるように、重心が0.5H上がることになる。そして、垂直フィルタブロック14において、上述した図15の列(a)に示される係数 $a_1\sim a_5$ 、 $b_1\sim b_5$ が用いられた垂直フィルタ処理によりラインが補間されることで、図21Fに示されるように、プログレッシブ走査に対応するラインが作成される。480Pのフォーマットとされたこのビデオ信号は、遅延回路56A~56Dに供給され、図21Gに示されるように重心が1H下げられ、出力される。480IフォーマットにおけるEVENフィールドの第1ラインから480Pフォーマットの第2ラインが作られるため、1H重心を下げることで、EVENフィールド側のライン位置が図21AのODDフィールド側のライン位置と同じになる。

【0118】このように、変速再生により再生された再生ビデオ信号と、リファレンス信号とのフィールド極性が反転した場合には、本来の重心に対して、480Iフォーマットの0.5H分($32\mu s$)だけ重心がずらされる。そのため、これをセレクタ57において遅延回路56A~56Cの段数を切り替えることで、この0.5H、すなわち $32\mu s$ 分の重心のずれを元に戻す。その後は、上述の通常再生のときと同様に、時間軸変換回路58および59で時間軸変換することで、正しく補間された480Pフォーマットの信号が得られる。

【0119】図22は、ODDフィールドの信号をEVENフィールドのタイミングで出力する場合の一例のタイミングチャートを示し、図23は、EVENフィールドの信号をODDフィールドのタイミングで出力する場合の一例のタイミングチャートを示す。ODDフィールドの信号をEVENフィールドのタイミングで出力する場合は、セクタ57において、遅延回路56Aの出力が選択される。一方、EVENフィールドの信号をODDフィールドのタイミングで出力する場合は、セクタ57において、遅延回路56Cの出力が選択される。このように遅延段数を切り替えることで、上述した0.5H分の重心のずれが元に戻される。時間軸変換回路58および59の動作は、上述した図20のタイミングと同一なので、詳細な説明を省略する。

【0120】次に、ビデオ復号回路13から480Pフォーマットで再生された信号を処理する場合について説明する。信号の流れは、上述した480Iフォーマットの信号を再生する場合と同様である。垂直フィルタにおいて、係数a1～a5、b1～b5は、図15の列

(c)の値を用いることができる。480Pフォーマットの信号は、データレートが480Iフォーマットの2倍になっているので、図16および図17で説明したような、垂直フィルタでの係数切り替えや、重心選択回路61Aおよび61Bでの切り替えを考慮する必要がない。また、480Pフォーマットは、元来、インタレース走査を行わない、ノンインタレース走査であって、1フィールド=1フレームである。したがって、変速再生時の、ビデオ復号回路13から出力される再生ビデオ信号と、リファレンス信号とのフィールド極性反転の現象が生じない。このため、セクタ57およびセクタ63では、共に、常に遅延回路56Aの信号を選択する。

【0121】図24は、480Pフォーマットの信号の一例の処理を示すタイムチャートである。リファレンス信号は、図24Aに示されるように、480Pフォーマットに対応した信号となっており、1Hが32 μ sとされる。ビデオ復号回路13から出力された480Pフォーマットのビデオ信号は、垂直フィルタブロック14に対して図24Bのように入力される。この信号は、垂直フィルタで、64 μ s分遅延され、遅延回路56Aに入力される(図24C)。遅延回路56Aで864ワードだけ遅延された信号(図24D)は、時間軸変換回路58および59に供給される。

【0122】時間軸変換回路58および59では、図20、図21および図23で上述した480Iフォーマットの処理の際の、逆の処理を行う。すなわち、図24Eおよび図24F、ならびに、図24Hおよび図24Iにそれぞれ示されるように、FIFOメモリに書き込まれた、1Hが32 μ sである480Pフォーマットの信号を、64 μ sの時間をかけて読み出す。また、時間軸変換回路58および59では、図24Gおよび図24Jに

示されるように、互いに480Pフォーマットの1Hだけずれて読み出しがなされる。この例では、時間軸変換回路58の出力が第1フィールド(ODDフィールド)とされ、時間軸変換回路59の出力が第2フィールド(EVENフィールド)とされる。このように、P/I変換の際には、時間軸変換回路58および59において、信号が1Hずつ間引かれて出力されることで、480Iフォーマットに対応した出力信号が得られる。

【0123】この例でも、図24G、図24J、図24Kおよび図24Lに示されるように、方式変換回路20、垂直フィルタ回路21および遅延調整回路22の出力は、互いに位相が合わせられる。

【0124】なお、上述では、垂直フィルタブロック14での処理、すなわちビデオ信号の輝度信号成分Yを中心に説明し、ビデオ信号のライン数を変換する例について説明したが、これをビデオ信号の色信号成分Cに適用することで、クロマフォーマットの変換を行うことができる。例えば、クロマフォーマットが4:2:2の信号をクロマフォーマットが4:2:0の信号に変換することができる。例えば、上述したように、垂直フィルタにおいて図15に示される係数のうち、列(a)および列(c)の係数を用いると、信号の周波数特性が半分に落とされるので、これを利用してクロマフォーマットの変換を行うことができる。また、垂直フィルタブロック14および15は、互いに独立して制御されるため、ライン数とクロマフォーマットを共に変換することもできる。

【0125】さらに、上述では、この実施の一形態を、480Iフォーマットと480Pフォーマットとの間の変換に適用するように説明したが、これはこの例に限定されない。例えば、この実施の一形態の構成で、HD(High Definition)フォーマットとSD(Standard Definition)フォーマットとの間での変換を行うこともできる。HDフォーマットは、SDフォーマットに対してライン数および1ラインのサンプル数を多くすることで、SDフォーマットよりも高解像度を実現している。

【0126】さらにまた、上述では、この発明が磁気テープを記録媒体とし、磁気テープから再生された信号を処理するVTRに適用されるように説明したが、これはこの例に限定されない。例えば、記録媒体をディスク状記録媒体として、このディスク状記録媒体から再生されたビデオ信号を変換するような装置にも適用できる。また例えば、この実施の一形態は、記録媒体から再生されたビデオ信号だけでなく、有線または無線の伝送路を介して供給されるビデオ信号の変換を行う場合にも適用できる。

【0127】また、上述では、この実施の一形態によるVTRが2系統のフォーマットに対応するように説明したが、これはこの例に限られず、さらに多系統のフォーマットに対応するようにもできる。

【0128】

【発明の効果】以上説明したように、この発明によれば、磁気テープ上に記録された再生ビデオフォーマット情報と、予め指定された出力フォーマット情報とから、P/I変換およびI/P変換を行う方式変換器の動作モードを自動的に変更することができるという効果がある。

【0129】また、垂直フィルタおよび出力回路が輝度成分信号Yおよび色信号成分Cにそれぞれ独立して設けられているため、出力時のクロマの周波数特性の違いなどにも対応できる効果がある。

【0130】さらに、この実施の一形態では、2種類以上の異なるフォーマットの出力を有し、これら2種類以上の異なるフォーマットのビデオ信号を互いに位相を合わせて出力することができる効果がある。

【0131】さらにまた、この実施の一形態によれば、出力回路が独自に、出力信号に対して外部同期信号に基づく同期を付加しているため、再生する磁気テープを異なるフォーマットのテープに入れ替える際にも、継続して同期を付加することができる効果がある。また、フォーマットの変更時に、所定期間だけ出力信号がミュートされ、例えばグレー信号に置き換えられるため、フォーマット変更時のエラー画面が表示されないという効果がある。

【0132】また、この実施の一形態によれば、2系統以上のフォーマットをマトリクス的に自在に選択できるという効果がある。

【0133】さらに、この実施の一形態によれば、変速再生用のフィルタ処理と方式変換用のフィルタ処理とを共通の構成で行っているため、回路規模を削減できるという効果がある。

【0134】さらにまた、方式変換用のフィルタとして、周波数特性の略等しい2種類のフィルタ係数を用いているため、変速再生時に再生信号とリファレンス信号とのフィールド極性の違いにより発生するフリッカを低減することができる。

【図面の簡単な説明】

【図1】磁気テープ上に形成されるトラックフォーマットの一例を示す略線図である。

【図2】テープ上のセクタの配置を示す略線図である。

【図3】ID0およびID1のビットアサインの一例を示す略線図である。

【図4】ビデオ信号の複数のフォーマットを示す略線図である。

【図5】1エラー訂正ブロックにおけるオーディオデータの配置の一例を示す略線図である。

【図6】1エラー訂正ブロックにおけるオーディオデータの配置の一例を示す略線図である。

【図7】1エラー訂正ブロックにおけるオーディオデータの配置の一例を示す略線図である。

【図8】AUXデータの内容の一例を示す略線図である。

【図9】ビデオデータおよびオーディオデータを記録するトラックフォーマットの一例を示す略線図である。

【図10】この発明の実施の一形態によるデジタルVTRの再生系の一例の構成を示すブロック図である。

【図11】信号フォーマットが480Iおよび480Pのデジタルビデオ信号のラインの位置関係について示す略線図である。

【図12】1/2倍速再生の際の、インタレース走査におけるODDおよびEVENフィールドの出力順を概略的に示す略線図である。

【図13】垂直フィルタブロックの一例の構成をより詳細に示すブロック図である。

【図14】係数乗算器をさらに詳細に示すブロック図である。

【図15】係数a1～a5、b1～b5の例を示すブロック図である。

【図16】係数選択回路の一例の動作を示すタイムチャートである。

【図17】重心選択回路の一例の動作を示すタイムチャートである。

【図18】入力される再生ビデオ信号に対して、リファレンスのODDおよびEVENフィールドが反転しない例を示す略線図である。

【図19】ODDおよびEVENフィールドが反転するフィールドで、且つ、インタレース走査、すなわち480Iフォーマットで出力する例を示す略線図である。

【図20】通常再生の際の一例のタイムチャートである。

【図21】変速再生時に、ODDおよびEVENフィールドが反転するフィールドで、且つ、プログレッシブ走査、すなわち480Pフォーマットで出力する場合の、重心の変化を示す略線図である。

【図22】ODDフィールドの信号をEVENフィールドのタイミングで出力する場合の一例のタイミングチャートである。

【図23】EVENフィールドの信号をODDフィールドのタイミングで出力する場合の一例のタイミングチャートである。

【図24】480Pフォーマットの信号の一例の処理を示すタイムチャートである。

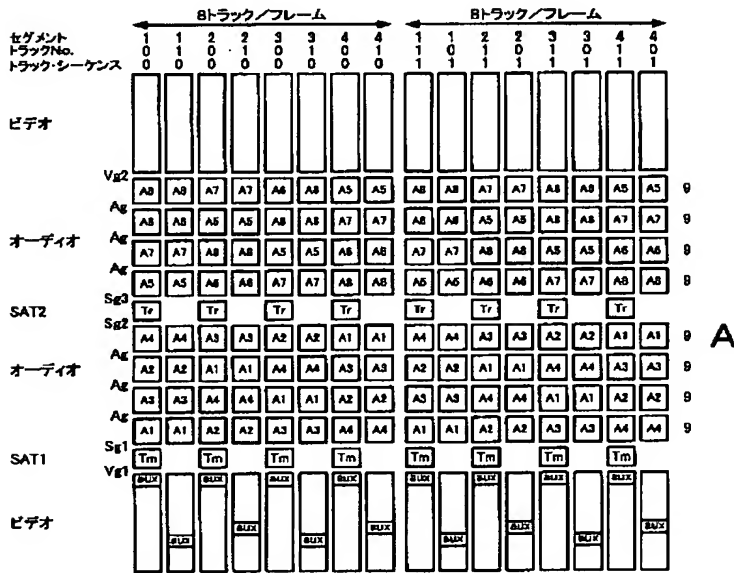
【符号の説明】

11・・・SYNC・ID検出回路、13・・・ビデオ復号回路、14、15・・・垂直フィルタブロック、16、17・・・出力回路、18・・・出力制御回路、20、23・・・方式変換回路、21、24・・・垂直フィルタ回路、22、25・・・遅延調整回路、30、31、34、35・・・入力切替回路、32、36・・・ミュート回路、33、37・・・同期信号発生・付加回

路、50A~50D・・・遅延回路、51A~51E・・・係数乗算回路、52・・・加算器、53A~53E・・・係数選択回路、54A~54E・・・乗算回路、56A~56D・・・遅延回路、57・・・セクタ、

58、59・・・時間軸変換回路、60・・・セクタ、61A、61B・・・重心選択回路、63・・・セクタ

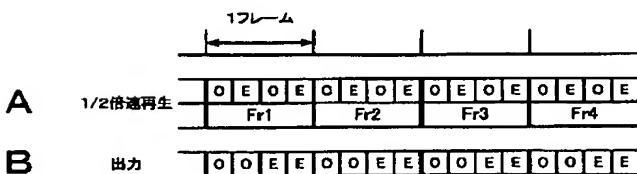
【図1】



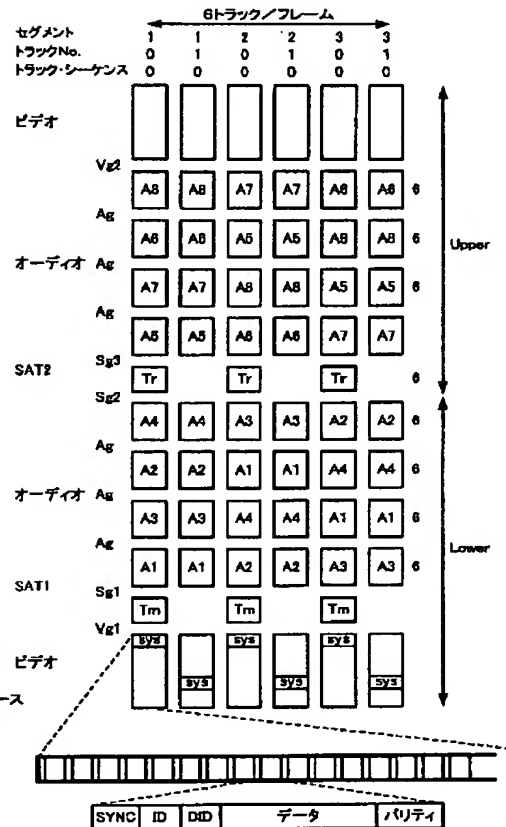
【図3】

MSB	ID0		ID1		DID(ビデオ)		DID(オーディオ)	
	7	6	5	4	3	2	1	0
	SYNO	ID7	Upper/Lower		(Reservel)		(Reservel)	
	SYNC	ID6	(Reservel)		(Reservel)		(Reservel)	
	SYNO	ID5	SEQ NB3		(Reservel)		(Reservel)	
	SYNO	ID4	SEQ NB2		(Reservel)		(Reservel)	
	SYNO	ID3	SEQ NB1		ヘイロード MD1		データ/オーディオ	
	SYNO	ID2	SEQ NB0		ヘイロード MD0		Amode2	
	SYNO	ID1	トラック		2MB/1MB		Amode1	
LSB	SYNO	ID0	ビデオ/オーディオ		Voutor		Amode0	

【図12】



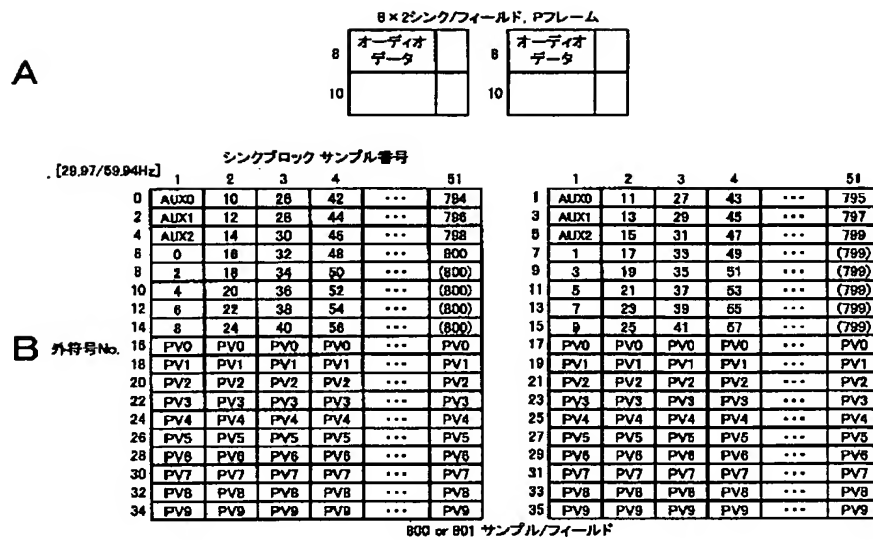
【図2】



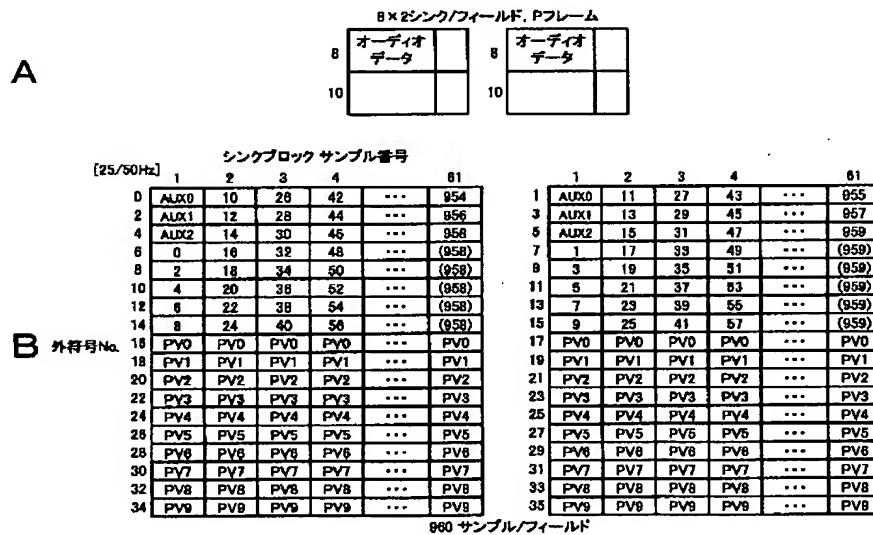
【図4】

Edit freq	6	5	3	2	0	オーディオ
line scan rate	59.94Hz	50Hz	29.97Hz	25Hz	23.976Hz	
1 0 0	480i (720 × 480)	576i (720 × 576)	...	16bit 4ch
1 0 1	480i (720 × 480)	576i (720 × 576)	...	16bit 8ch
1 1 0	480p (720 × 480)	576p (720 × 576)	480p (720 × 480)	16bit 4ch
1 1 0	480p (720 × 480)	576p (720 × 576)	16bit 8ch
1 1 1	480p (720 × 480)	576p (720 × 576)	480p (720 × 480)	16bit 8ch
1 1 1	480p (720 × 480)	576p (720 × 576)	16bit 8ch

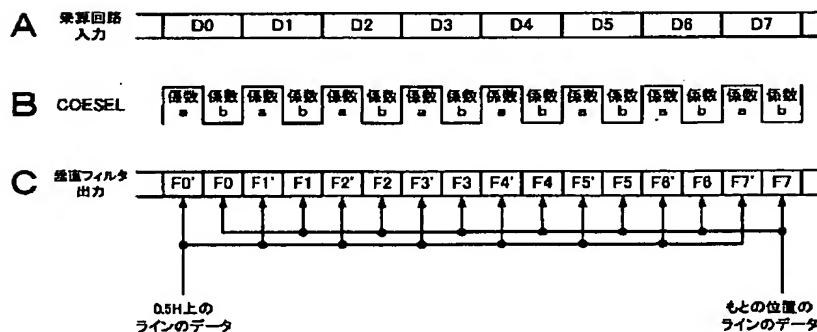
【図5】



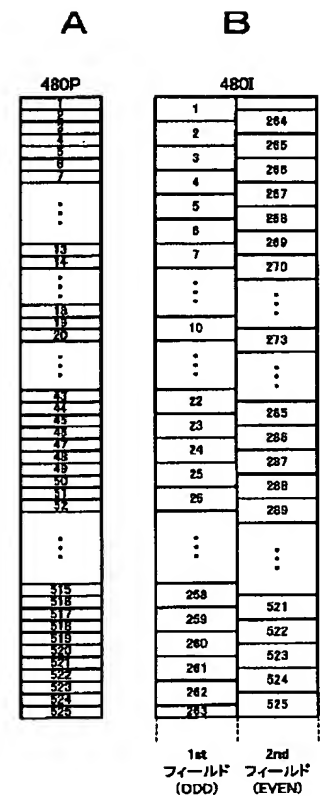
【図6】



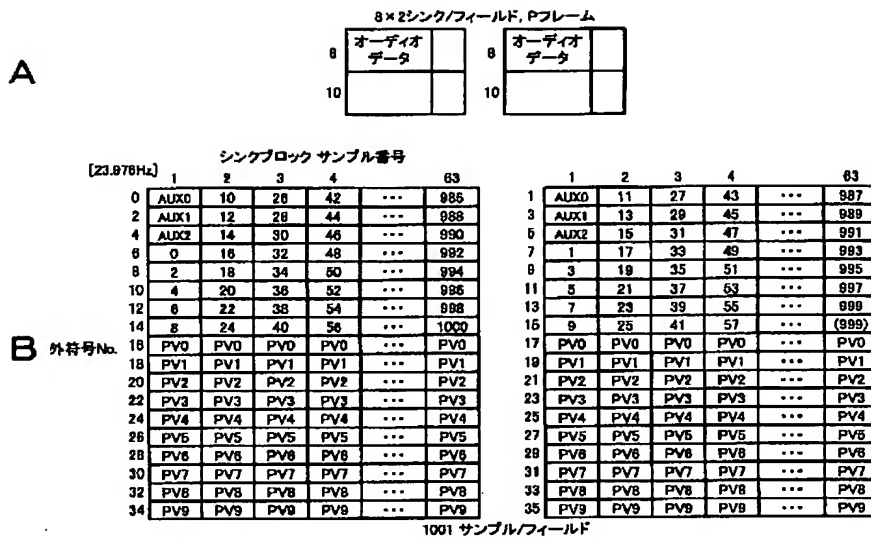
【図16】



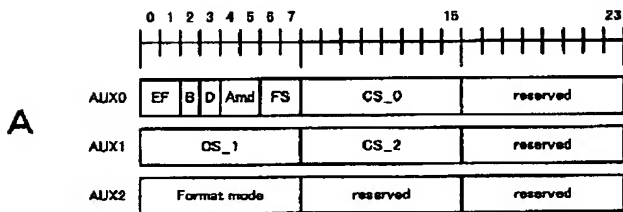
【図11】



【図7】



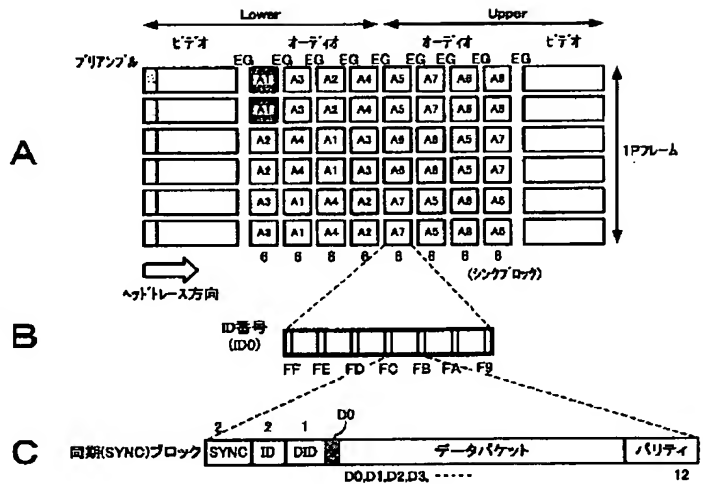
【図8】



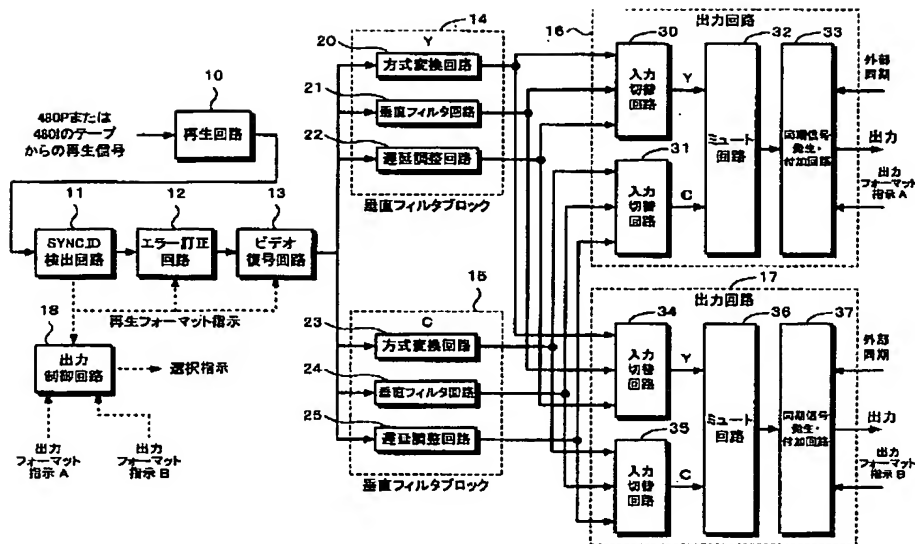
B

AUX0	オーディオ ECR	2ビット	00: このFieldの前後に編集点がない。 10: このFieldの前に編集点がある。(IN点) 01: このFieldの後に編集点がある。(OUT点) 11: このFieldの前後に編集点がある。
	ビット length	1ビット	0: 16ビット, 1: 24ビット
	データ/オーディオ	1ビット	0: オーディオ, 1: データ
	オーディオモード	2ビット	00: 独立CH 48k 01: CH A/A (32ビット, 48ビット データ/96k サンプリング) 10: CH A/A (16ビット→24ビット オーディオ) 11: reserved
	FS	2ビット	48k(00), 44.1k(01), 32k(10), 96k(11)
	Reserved	8ビット	
	Reserved	8ビット	(24ビット オーディオ時)
AUX1	Reserved	8ビット	
	Reserved	8ビット	
	Reserved	8ビット	(24ビット オーディオ時)
AUX2	ラインモード	2ビット	00: 480, 01: 720, 10: 1080, 11: reserved
	Rate	2ビット	
	Scan	1ビット	0: Interlaced, 1: Progressive
	Freq	3ビット	00: 23.976Hz
	Reserved	8ビット	
	Reserved	8ビット	(24ビット オーディオ時)

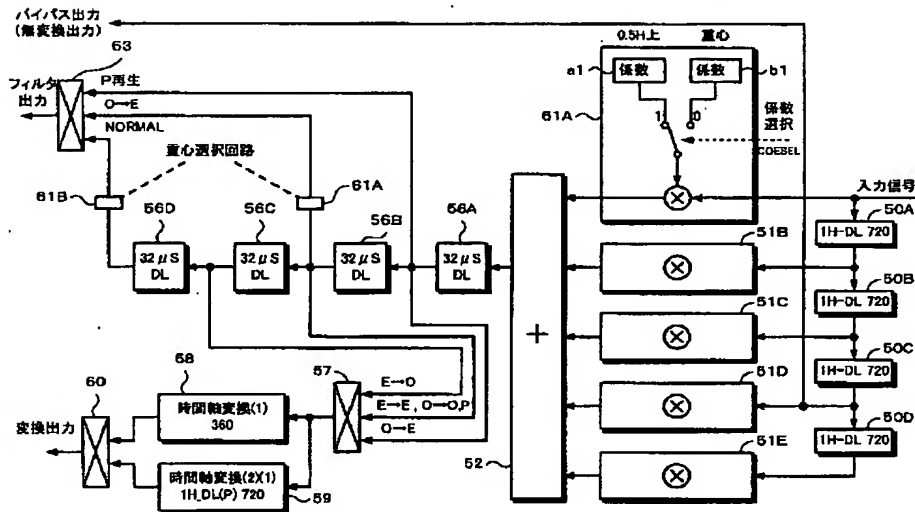
【図9】



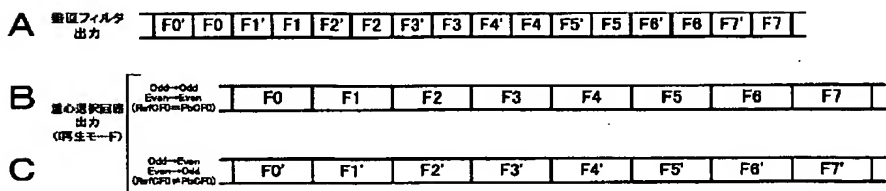
【図10】



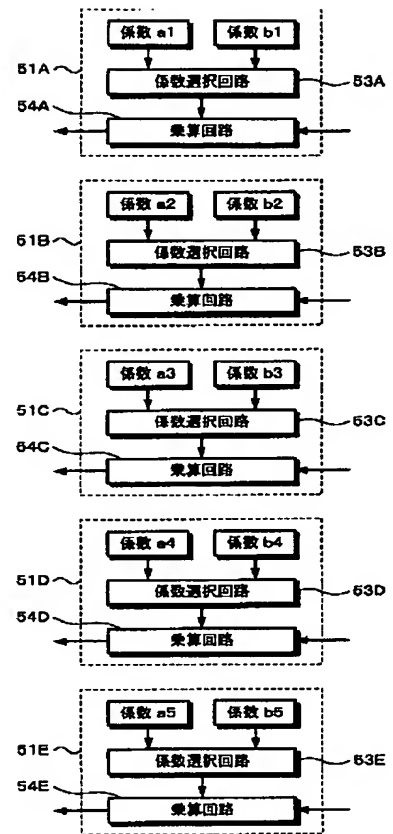
【図13】



【図17】

27MHz/13MHz
変換

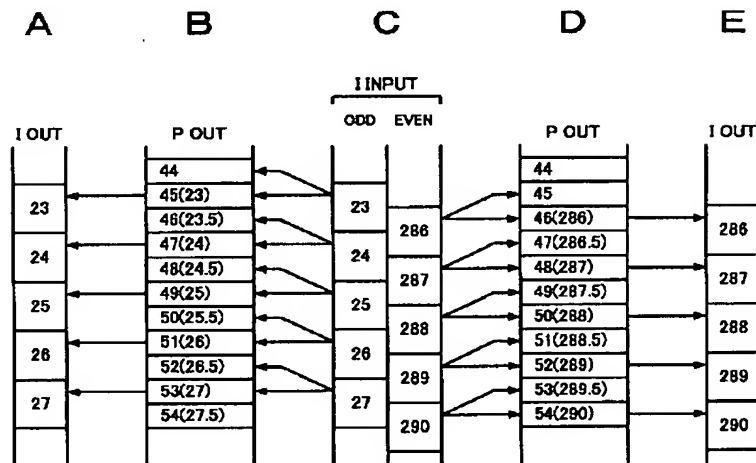
【図14】



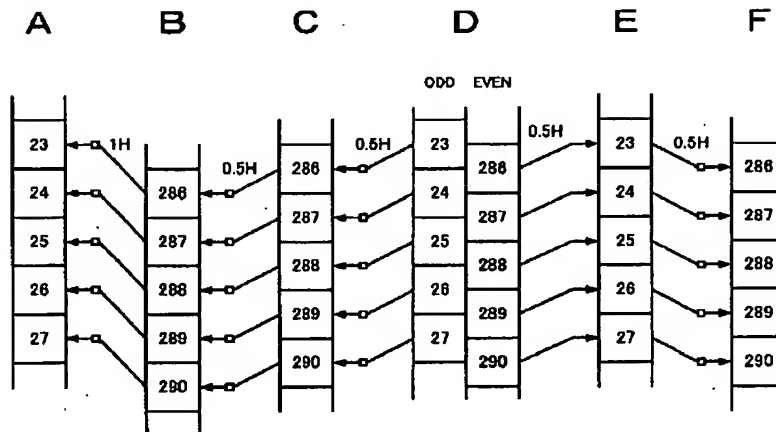
【図15】

	(a)	(b)	(c)
係数 a1	-1/16	-1/16	1/16
係数 a2	9/16	3/8	1/4
係数 a3	9/16	13/16	3/8
係数 a4	-1/16	-1/8	1/4
係数 a5	0	0	1/16
係数 b1	0	-3/64	1/16
係数 b2	1	7/8	1/4
係数 b3	0	17/64	3/8
係数 b4	0	-3/32	1/4
係数 b5	0	0	1/16

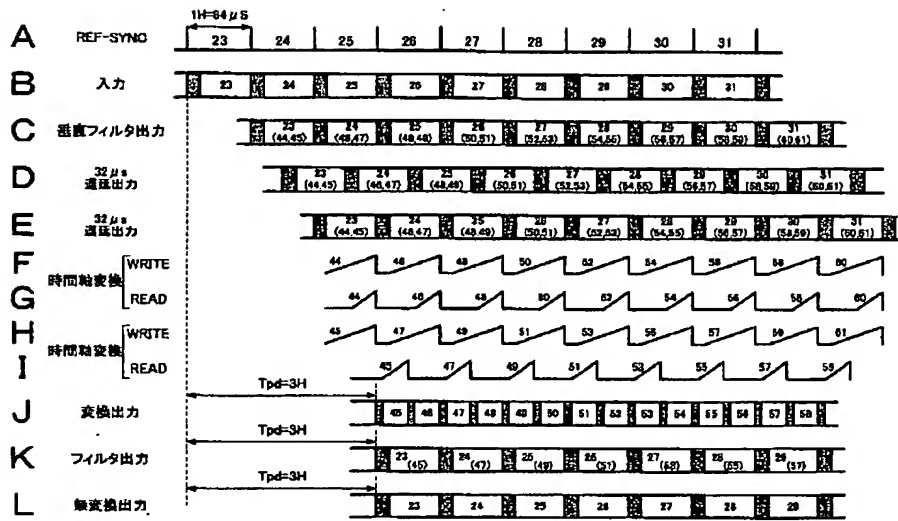
【図18】



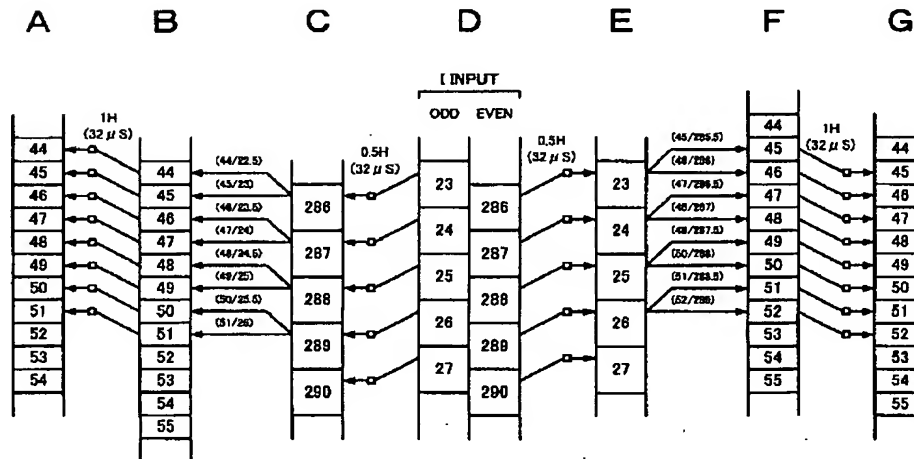
【図19】



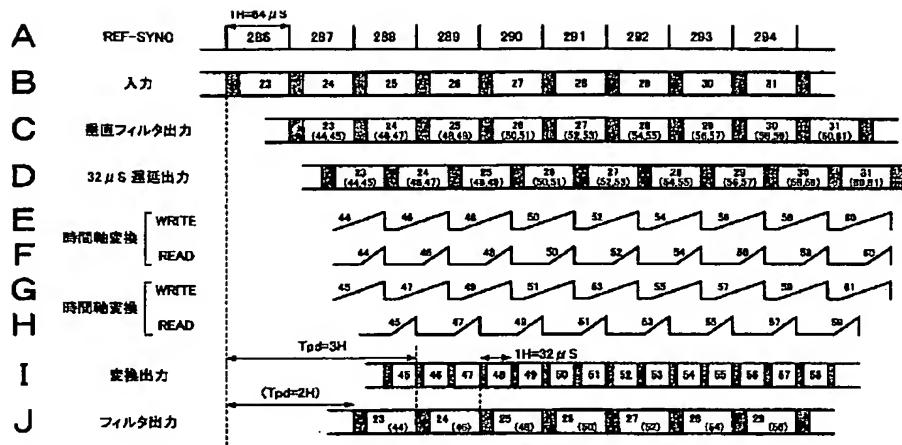
【図20】



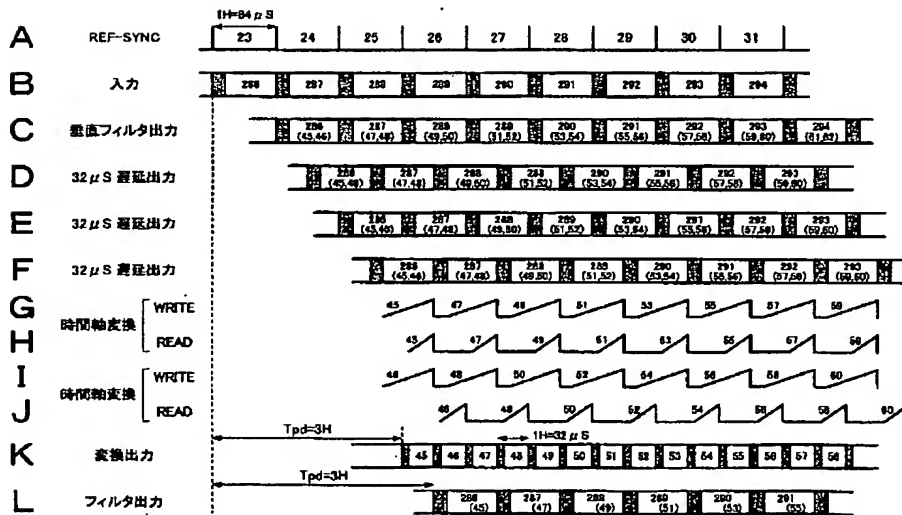
【図21】



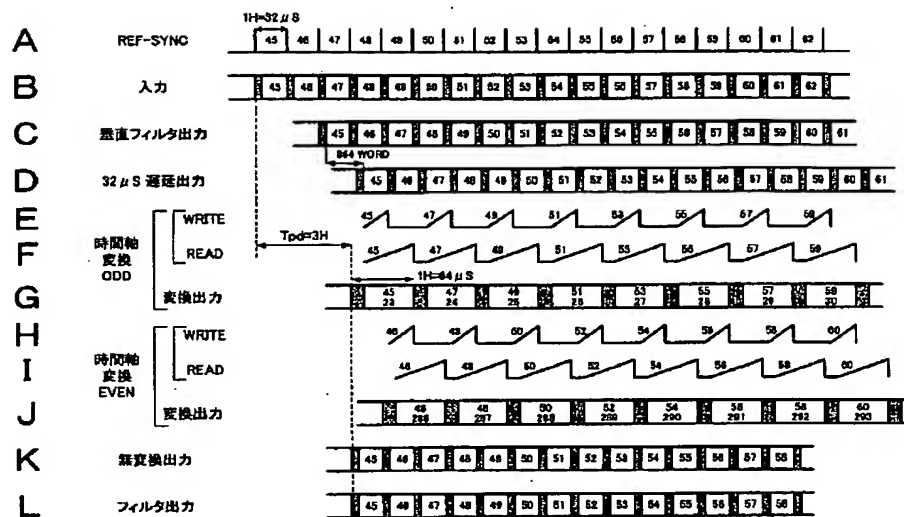
【図22】



【図23】



【図24】



フロントページの続き

F ターム(参考) 5C053 FA03 FA22 GA08 GA19 GB05
 GB38 HA33 JA07 JA21 KA08
 KA11
 5C055 AA01 AA03 BA01 CA04 DA01
 DA02 DA07 EA02 EA04 EA23
 FA22 GA09 HA21 HA31
 5D044 AB07 BC01 CC03 DE04 DE15
 DE42 DE49 GK12